

No active trail

DELPHION**Select CR** **Help**[Log Out](#) [Work Files](#) [Saved Searches](#)[RESEARCH](#)[PRODUCTS](#)[INSIDE DELPHION](#)[My Account](#)

Search: Quick/Number Boolean Advanced Derwent

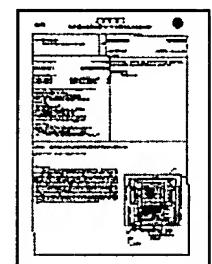
The Delphion Integrated ViewGet Now: [PDF](#) | [File History](#) | [Other choices](#)Tools: Add to Work File: [Create new Work File](#)View: [Expand Details](#) | [INPADOC](#) | Jump to: [Top](#) Go to: [Derwent](#)[Email this](#)

>Title: **WO9923530A1: ELECTRO-OPTICAL DEVICE AND ELECTRONIC APPARATUS [French]**

Derwent Title: Active matrix type driving electro-optical device [[Derwent Record](#)]

Country: WO World Intellectual Property Organization (WIPO)

Kind: A1 Publ.of the Int.Appl. with Int.search report



Inventor: MURADE, Masao; Seiko Epson Corporation, 3-5, Owa 3-chome, Suwa-shi, Nagano-ken 392-85, Japan

Assignee: SEIKO EPSON CORPORATION, 4-1, Nishi-shinjuku 2-chome, Shinjuku-ku, Tokyo 163-0811, Japan
[News, Profiles, Stocks and More about this company](#)

Published / Filed: 1999-05-14 / 1998-10-23

Application Number: WO1998JP0004822

IPC Code: IPC-7: [G02F 1/136](#); [G02F 1/1345](#); [G09G 3/36](#);

ECLA Code: G02F1/1362; G09G3/36C8; G09G3/36C14A;

Priority Number: 1998-01-09 [JP1998000015149](#)

Abstract: An active matrix driving type electro-optical device, wherein, in order to reduce high frequency clock noises, etc. in image signals under the condition that the number of image signal lines is increased caused by the increase of the number of serial-parallel conversion processes, the liquid crystal device (200) has a liquid crystal layer held between a pair of substrates (1), pixel electrodes (11) arranged on the substrate (1) in a matrix-shape and TFTs (30) which control the pixel electrodes by switching. The image signal lines (VID1 - VID12) are routed from the both sides of a data line driving circuit (101) on the substrate and constant potential shielding lines (80, 80', 82 and 86) which shield the image signal lines from clock signal lines (CLX and CLX'), etc. are wired on the substrate.

Dispositif électro-optique de type à attaque à matrice active, dans lequel, pour réduire les bruits d'horloge haute fréquence, etc. dans des signaux d'image, à condition que le nombre de lignes de signal d'image soit augmenté en raison de l'augmentation du nombre de processus de conversion série-parallèle, le dispositif (200) à cristaux liquides possède une couche de cristaux liquides se trouvant entre une paire de substrats (1), des électrodes (11) de pixel disposées sur le substrat (1) en forme de matrice et des transistors à couche mince (30) qui commandent les électrodes de pixel par commutation. Les lignes (VID1 - VID12) de signal d'image sont acheminées depuis les deux côtés d'un circuit (101) d'attaque de ligne de données sur le substrat et des lignes de protection (80, 80', 82 et 86) à potentiel constant qui protègent les lignes de signal d'image des lignes (CLX et CLX') de signal d'horloge, etc., sont câblées sur le substrat. [French]

Representative Image:

[\[Show "fr" image\]](#)

Best Available Copy

Attorney, Agent or Firm: SUZUKI, Kisaburo ;
INPADOC Legal Status: Show legal status actions Get Now: Family Legal Status Report
Designated Country: CN KR US, European patent: AT BE CH CY DE DK ES FI FR GB
Family: GR IE IT LU MC NL PT SE
[Show 19 known family members](#)

Forward References: Go to Result Set: Forward references (1)

PDF	Patent	Pub.Date	Inventor	Assignee	Title
	US6627485	2003-09-30	Murade; Masao	Seiko Espon Corporation	Electro-optical device, method fabricating the same, and elect apparatus

Other Abstract Info: DERABS G1999-468628 DERABS G1999-468628



Nominate this for the Gallery...



THOMSON

Copyright © 1997-2006 The Thomson

[Subscriptions](#) | [Web Seminars](#) | [Privacy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact Us](#) |

PCT

世界知的所有権機関
国際事務局
特許協力条約に基づいて公開された国際出願



(51) 国際特許分類6 G02F 1/136, 1/1345, G09G 3/36		A1	(11) 国際公開番号 WO99/23530
			(43) 国際公開日 1999年5月14日(14.05.99)
<p>(21) 国際出願番号 PCT/JP98/04822</p> <p>(22) 国際出願日 1998年10月23日(23.10.98)</p> <p>(30) 優先権データ 特願平9/301253 1997年10月31日(31.10.97) JP 特願平10/15149 1998年1月9日(09.01.98) JP </p> <p>(71) 出願人（米国を除くすべての指定国について） セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿二丁目4番1号 Tokyo, (JP) </p> <p>(72) 発明者；および (75) 発明者／出願人（米国についてのみ） 村出正夫(MURADE, Masao)[JP/JP] 〒392-8502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP) </p> <p>(74) 代理人 弁理士 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.) 〒392-8502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社 知的財産部内 Nagano, (JP) </p>			<p>(81) 指定国 CN, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>
<p>(54) Title: ELECTRO-OPTICAL DEVICE AND ELECTRONIC APPARATUS</p> <p>(54) 発明の名称 電気光学装置及び電子機器</p> <p>(57) Abstract An active matrix driving type electro-optical device, wherein, in order to reduce high frequency clock noises, etc. in image signals under the condition that the number of image signal lines is increased caused by the increase of the number of serial-parallel conversion processes, the liquid crystal device (200) has a liquid crystal layer held between a pair of substrates (1), pixel electrodes (11) arranged on the substrate (1) in a matrix-shape and TFT's (30) which control the pixel electrodes by switching. The image signal lines (VID1 - VID12) are routed from the both sides of a data line driving circuit (101) on the substrate and constant potential shielding lines (80, 80', 82 and 86) which shield the image signal lines from clock signal lines (CLX and CLX'), etc. are wired on the substrate. </p>			
<p>101 DATA LINE DRIVING CIRCUIT 102 ADDRESS LINE DRIVING CIRCUIT CLX CLOCK SIGNAL LINE CLX' CLOCK SIGNAL LINE</p> <p>X 方向 Y 方向</p>			

(57)要約

アクティブマトリクス駆動方式の電気光学装置において、シリアルーパラレル変換数の増加による画像信号線の増加という条件下で、画像信号中の高周波のクロックノイズ等の発生を低減するために、液晶装置(200)は、一対の基板間に挟持された液晶層と、基板(1)にマトリクス状に設けられた画素電極(11)と、これをスイッチング制御するTFT(30)とを備える。画像信号線(VID1~VID12)は、基板上でデータ線駆動回路(101)の両側から引き回されており、これらをクロック信号線(CLX、CLX')等から電気的にシールドする定電位のシールド線(80、80'、82、86)が基板上に配線されている。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

A E	アラブ首長国連邦	E S	スペイン	L I	リヒテンシュタイン	S G	シンガポール
A L	アルベニア	F I	フィンランド	L K	スリ・ランカ	S I	スロヴェニア
A M	アルメニア	F R	フランス	L R	リベリア	S K	スロヴァキア
A T	オーストリア	G A	ガボン	L S	レソト	S L	シエラ・レオネ
A U	オーストラリア	G B	英國	L T	リトアニア	S N	セネガル
A Z	アゼルバイジャン	G D	グレナダ	L U	ルクセンブルグ	S Z	スワジランド
B A	ボスニア・ヘルツェゴビナ	G E	グルジア	L V	ラトヴィア	T D	チャード
B B	バルバドス	G H	ガーナ	M C	モナコ	T G	トーゴー
B E	ベルギー	G M	ガンビア	M D	モルドヴァ	T J	タジキスタン
B F	ブルガリア	G N	ギニア	M G	マダガスカル	T M	トルクメニスタン
B G	ブルガリア	G W	ギニア・ビサオ	M K	マケドニア旧ユーゴスラヴィア	T R	トルコ
B J	banana	G R	ギリシャ	M R	共和国	T T	トリニタンド・トバゴ
B R	ブラジル	H R	クロアチア	M L	マリ	U A	ウクライナ
B Y	ベラルーシ	H U	ハンガリー	M N	モンゴル	U G	ウガンダ
C A	カナダ	I D	インドネシア	M R	モーリタニア	U S	米国
C F	中央アフリカ	I E	アイルランド	M W	マラウイ	U Z	ウズベキスタン
C G	コンゴー	I L	イスラエル	M X	メキシコ	V N	ヴィエトナム
C H	イスス	I N	インド	N E	ニジエール	Y U	ユゴースラビア
C I	コートジボアール	I S	アイスランド	N L	オランダ	Z A	南アフリカ共和国
C M	カーボルーン	I T	イタリア	N O	ノールウェー	Z W	ジンバブエ
C N	中国	J P	日本	N Z	ニュージーランド		
C U	キューバ	K E	ケニア	P L	ポーランド		
C Y	キプロス	K G	キルギスタン	P T	ポルトガル		
C Z	チエコ	K P	北朝鮮	R O	ルーマニア		
D E	ドイツ	K R	韓国	R U	ロシア		
D K	デンマーク	K Z	カザフスタン	S D	スーダン		
E E	エストニア	L C	セントルシア	S E	スウェーデン		

明細書

電気光学装置及び電子機器

5 技術分野

本発明は、薄膜トランジスタ（以下、TFTと称す）駆動等によるアクティブマトリクス駆動方式の液晶装置等の電気光学装置及びこれを用いた電子機器の技術分野に属し、特に TFT アレイ基板上に設けられたデータ線駆動回路によりクロック信号等の制御信号に基づいてデータ線を高周波で駆動する形式の
10 電気光学装置及びこれを用いた電子機器の技術分野に属する。

背景技術

従来、TFT駆動によるアクティブマトリクス駆動方式の液晶装置等の電気光学装置においては、縦横に夫々配列された多数の走査線及びデータ線並びに
15 これらの各交点に対応して多数の画素電極が TFT アレイ基板上に設けられている。そして、これらに加えて、データ線駆動回路、サンプリング回路等を含みデータ線にデータ信号を供給するデータ信号供給手段や、走査線駆動回路等を含み走査線に走査信号を供給する走査信号供給手段が、このような TFT アレイ基板上に設けられる場合がある。
20 この場合、データ信号供給手段には、データ信号の供給タイミングの基準となるデータ線駆動回路を動作させるためのデータ線側基準クロックなどの制御信号、表示すべき画像の内容に対応しておりデータ信号の基となる画像信号、正や負の定電位電源等が、TFT アレイ基板に設けられた外部入力端子及び配線を介して夫々供給される。他方、走査信号供給手段には、走査信号の供給タ
- 25 イミングの基準となる走査線駆動回路を動作させるための走査線側基準クロック、正や負の定電位電源等が、やはり TFT アレイ基板に設けられた外部入力端子及び配線を介して供給される。そして走査信号供給手段においては、例えば走査線駆動回路により、走査線側基準クロックに基づくタイミングで走査信号を走査線に線順次で供給する。これに対応してデータ信号供給手段において

は、例えば入力された画像信号をサンプリングするサンプリング回路を、データ線駆動回路がデータ線側基準クロックに基づくタイミングで順次駆動して、サンプリング回路からデータ信号がデータ線に供給される。これらの結果、走査線にゲート接続された各 TFT は、走査信号の供給に応じて導通状態とされ、
5 データ信号が当該 TFT を介して画素電極に供給されて各画素における画像表示が行われる。

近年特に、液晶プロジェクタ用の液晶装置等では、表示画像の高解像度化に伴って、非常に高い周波数のシリアルな画像信号が入力されるようになってきている。例えば、画像信号のドット周波数は、近時の高解像度のパソコン画面において使用される XGA 表示モードや SXGA 表示モードになると、夫々約 10 65 MHz と約 135 MHz であり、従来の VGA 表示モードにおけるドット周波数（約 30 MHz）を遥かに上回る。これに対応すべく、特にデータ信号供給手段に供給されるデータ線側基準クロックの周波数も非常に高くなっている。

15

発明の開示

しかしながら、近年の表示画像の高品位化の要請の下では、このように基準クロックの周波数を高くすることによる、高周波のクロックノイズの発生が無視し得ないようになる。即ち、例えば従来の比較的周波数の低いデータ線側基準クロックをデータ線駆動回路に供給してサンプリング回路を駆動する構成において、そのままクロック信号の周波数を上げたのでは、サンプリング回路に入力される画像信号中やサンプリング回路から出力されるデータ信号中に高周波のクロックノイズが発生して、データ線に供給すべきデータ信号が劣化してしまう。このように劣化したデータ信号が各画素に供給されると、各画素により表示される画像もやはり劣化してしまうという問題点がある。例えば、各画素において中間レベルの階調表示を行う時に、10 mV 程度の微少なノイズが画像信号中に飛び込んだだけでも、表示画像中には視認可能な程度のノイズとして現れてしまう。これは、最高又は最低の液晶駆動電圧（例えば、0 ~ 5 V 間の電圧）に対応する白又は黒レベルの表示を行っている場合と比べて、中間

レベルにおける液晶駆動電圧の変化に対する液晶の透過率の変化が急峻だからである。このように高精度の多階調表示を実現するためには、高周波のクロックノイズの問題は重大である。

他方で、シリアルーパラレル変換数を増やすことによりサンプリング回路に供給される画像信号の周波数を下げることはできるが、液晶装置の基板に設ければならない画像信号入力用の外部入力端子の数は、シリアルーパラレル変換数の増加に対応して増やさねばならない。即ち、例えば 6 相にシリアルーパラレル変換する場合には、画像信号入力用の外部入力端子は 6 個必要となり、12 個のシリアルーパラレル変換の場合には、12 個必要となる。更に、これらの画像信号入力用の外部入力端子からサンプリング回路まで引き回す配線の数も同様にシリアルーパラレル変換数だけ必要となる。これらの結果、画像信号用の配線が液晶装置の基板面上を占める割合が増加して、サンプリング回路、データ線駆動回路等からなるデータ信号供給手段を形成する領域を基板上に確保するのが困難となる。ここで仮に従来のように、外部入力端子が設けられた基板の縁から見て、データ線駆動回路の一方の側へクロック信号等の制御信号用の配線を引き回し、データ線駆動回路の他方の側へ多数の画像信号用の配線を引き回したのでは、各側に引き回される配線数が顕著に異なるため、データ線駆動回路の周囲における配線の配置バランスが非常に悪くなる（即ち、配線が片側に偏る）という問題点が生じる。この場合、液晶装置の基板を大きくして配線領域やデータ線駆動回路を形成する領域を確保することは可能であるが、これでは、限られた基板サイズでの画面の大型化という液晶装置の技術分野における基本的要請に反してしまう。

本発明は上述の問題点に鑑みなされたものであり、入力された画像信号中やこれに基づいて生成されるデータ信号中の高周波のクロックノイズの発生を低減でき、高品位の画像表示を行える電気光学装置を備えた電子機器を提供することを課題とする。

また、画像信号のシリアルーパラレル変換数の増加に伴って配線数や外部入力端子数が増加してもこれらをバランス良く配線や配置することができ、しかも画像信号に対して高周波のクロック信号等の制御信号が及ぼす高周波のクロ

ックノイズ等の悪影響を低減でき、高品位の画像表示を行える液晶装置及び当該液晶装置を備えた電子機器を提供することを課題とする。

上記課題を解決するために、本発明の一の態様は、基板上には複数の走査線と、前記複数の走査線に交差する複数のデータ線と、前記複数の走査線とデータ線に接続された複数のスイッチング素子と、前記複数のスイッチング素子に接続された複数の画素電極と、クロック信号に基づいて画像信号に対応するデータ信号を前記複数のデータ線に供給するデータ信号供給手段と、第1外部入力端子から入力される前記画像信号を前記データ信号供給手段に供給する画像信号線と、第2外部入力端子から入力される前記クロック信号を前記データ信号供給手段に供給するクロック信号線と、前記画像信号線を前記クロック信号線から電気的にシールドする定電位の導電線とを備えたことを特徴とする。

本発明のかかる構成によれば、第1外部入力端子から入力される画像信号は、基板に配線された画像信号線を介して、データ信号供給手段に供給される。これと並行して、第2外部入力端子から入力されるクロック信号は、基板に配線されたクロック信号線を介して、データ信号供給手段に供給される。すると、第1基板に設けられた、例えばデータ線駆動回路、サンプリング回路等を含んで構成されるデータ信号供給手段により、クロック信号に基づいて画像信号に対応するデータ信号が、複数のデータ線に供給される。ここで特に、基板に配線された定電位の導電線により、画像信号線は、クロック信号線から電気的にシールドされている。従って、クロック信号の周波数が高い場合でも、クロック信号線から画像信号線への高周波のクロックノイズの飛び込みを低減できる。

他方で、基板に形成されるか又は基板に接続された走査線駆動回路等を含む走査信号供給手段により、走査信号が走査線を介してスイッチング素子に供給される。これと並行して、上述のように高周波のクロックノイズが低減された画像信号に対応するデータ信号が、データ線を介してスイッチング素子に供給され、更にスイッチング素子を介して供給されるデータ信号により画素電極に印加される電圧が変化し、当該画素電極に対向する液晶が駆動される。以上の結果、表示すべき画像の解像度が高く、高周波のシリアルな画像信号が入力される場合にも、これに対応して周波数が高いクロック信号を用いつつ、高周波

のクロックノイズの発生により画質が劣化することは殆ど又は全く無くなり、高品位の画像表示が可能とされる。

本発明の一の態様において、前記導電線は、前記データ信号供給手段に定電位の電源を供給する定電位線から構成された部分を含むことが好ましい。

- 5 本発明のかかる構成によれば、導電線は、前記データ信号供給手段に定電位の電源を供給する定電位線から構成された部分を含むので、外部入力端子や配線そのものを共用することにより、言い換えれば定電位線を延設して導電線とすることにより、構成の簡略化と省スペース化を図ることが出来、特に導電線を定電位とすることも極めて容易となる。
- 10 本発明の一の態様において、前記定電位線は、相異なる定電位の電源を前記データ信号供給手段に供給する第1及び第2定電位線からなり、該第1定電位線から構成された前記導電線部分は、前記第1基板上で前記画像信号線を囲み、前記第2定電位線から構成された前記導電線部分は、前記基板上で前記クロック信号線を囲むことが好ましい。
- 15 本発明のかかる構成によれば、画像信号線は、例えば接地電位の負電源を供給するための第1定電位線から構成された導電線部分により、基板上で囲まれている。クロック信号線は、例えば正電源を供給するための第2定電位線から構成された導電線部分により、基板上で囲まれている。従って、画像信号線は、第1基板上でクロック信号線から2重にシールドされた構成が得られる。
- 20 本発明の一の態様において、前記データ信号供給手段は、前記画像信号をサンプリングするサンプリング回路と、前記定電位線からの電源供給を受けて前記クロック信号に基づいて該サンプリング回路を駆動するデータ線駆動回路とを備えており、前記画像信号線と前記クロック信号線とは、前記基板上で前記データ線駆動回路に対して反対方向から引き回されていることが好ましい。
- 25 本発明のかかる構成によれば、走査信号供給手段において、画像信号は、サンプリング回路によりサンプリングされる。そして、定電位線からの電源供給を受けるデータ線駆動回路により、クロック信号に基づいてサンプリング回路が駆動されて、サンプリングされた画像信号がデータ信号としてデータ線に供給される。ここで特に、画像信号線とクロック信号線とは、基板上でデータ線

駆動回路に対して反対方向から引き回されているが、一般に距離及び障害物の介在に応じて電磁波は減少するので、クロック信号線から画像信号線に印加される電磁波が両信号線間の距離に応じて且つデータ線駆動回路の存在に応じて減少する。従って、クロック信号の周波数が高い場合でも、クロック信号線から画像信号線への高周波のクロックノイズの飛び込みを更に低減できる。

本発明の一の態様において、前記第1及び第2外部入力端子は、前記基板の周辺部において相互に所定間隔を隔てて配置されており、前記第1及び第2外部入力端子の間には、前記定電位の電源を前記定電位線に入力するための第3外部入力端子が配置されていることが好ましい。

本発明のかかる構成によれば、第1及び第2外部入力端子は、第3外部入力端子を間に介して、基板の周辺部において相互に所定間隔を隔てて配置されており、好ましくは、基板の周辺部において外部入力端子を形成可能な領域において可能な限り相互に離して配置される。従って、例えば画像信号線とクロック信号線とを隣接配置した場合と比較して、クロック信号線から画像信号線への高周波のクロックノイズの飛び込みを低減できる。

本発明の一の態様において、前記導電線は、前記複数の画素電極により規定される画像表示領域及び前記複数のデータ線を前記基板上で囲むように延設されたことが好ましい。

本発明のかかる構成によれば、導電線により、画像表示領域及び複数のデータ線は、基板上で囲まれているので、当該画像表示領域及び複数のデータ線も、クロック信号線からシールドされることになる。従って、データ信号供給手段から出力されたデータ信号、スイッチング素子や画素電極に到達したデータ信号等における、高周波のクロックノイズの発生を低減できる。

本発明の一の態様において、前記基板と対向基板との間に電気光学物質が挟持されてなり、前記基板と前記対向基板のうち少なくとも一方に形成された遮光性の周辺見切りを更に備えており、前記導電線は前記周辺見切りに対向する位置において前記周辺見切りに沿って前記基板に設けられた部分を含むことが好ましい。

本発明のかかる構成によれば、導電線は、対向基板の周辺見切り下に設けら

れているので、TFTアレイ基板上の省スペース化が図られ、例えば、走査線駆動回路やデータ線駆動回路を基板の周辺部分に余裕を持って形成することができ、導電線形成により電気光学装置における有効表示面積が減少することも殆ど又は全くない。

5 本発明の一の態様において、前記導電線及び前記データ線は、同一の低抵抗金属材料から形成されたことが好ましい。

本発明のかかる構成によれば、導電線は例えば、Al（アルミニウム）等の、データ線と同一の低抵抗金属材料から形成されているので、導電線の引き回し領域が、たとえ長くても、導電線の抵抗は実用上十分に低く抑えられる。即ち、
10 抵抗増加によりシールドの効果を下げることなく、例えば他の配線や回路等の隙間を縫ってジグザグに導電線を長く配線したり、画像表示領域等までも含めた広い領域に導電線を長く配線することが可能となるので、比較的簡単な構成により、当該シールドの効果を全体として、より高めることが出来る。更に、当該電気光学装置の製造プロセスにおいて、導電線及びデータ線を、同一の低
15 抵抗金属材料から同一工程により形成できる。即ち、導電線を形成することによる製造プロセスの増加を最低限に抑えることができる。

本発明の一の態様において、前記画像信号線及びクロック信号線の間に介在する前記導電線部分並びに前記画像信号線及びクロック信号線は、前記基板に平行な同一平面上に形成された同一の低抵抗金属層から構成されたことが好ま
20 しい。

本発明のかかる構成によれば、画像信号線及びクロック信号線の間に介在する導電線部分は、画像信号線やクロック信号線と、基板に平行な同一平面上に形成されているので、シールドの効果がより効率良く発揮される。ここで、同一平面上とは、基板の上に直接これらを配線してもよく、或いは基板上に形成された下地となる絶縁層上やTFT等のスイッチング素子の半導体層上に形成された層間絶縁層上にこれらを配線してもよいという意味である。更に、当該電気光学装置の製造プロセスにおいて、導電線、画像信号線及びクロック信号線を、例えば、Al層等の同一の低抵抗金属層から一括して形成できるので、導電線を形成することによる製造プロセスの増加を最低限に抑えることができ

る。

本発明の一の態様において、前記画素電極に所定量の容量を付与する容量線を更に備えており、該容量線が前記導電線に接続されたことを特徴とする。

本発明のかかる構成によれば、容量線により画素電極に所定量の容量が付与されているので、デューティー比が小さくても高精細な表示が可能とされる。そして、容量線は導電線に接続されている。従って、容量線の電位変動によるスイッチング素子や画素電極への悪影響は防止されている。しかも、容量線を定電位とするための配線を導電線で兼用でき、更に、容量線を定電位にするために必要な外部入力端子も、例えば、前述の第3外部入力端子或いは導電線専用の外部入力端子で兼用できる。

本発明の二の態様は、基板上に複数のデータ線と、該複数のデータ線に交差する複数の走査線と、前記複数のデータ線及び走査線に接続された複数のスイッチング素子と、前記複数のスイッチング素子に接続された複数の画素電極と、画像信号が供給される複数の画像信号線と、クロック信号を含む制御信号が供給される複数の制御信号線と、前記画像信号線及び前記制御信号線を夫々介して前記画像信号及び前記制御信号が入力され、前記画像信号に対応するデータ信号を前記制御信号に基づいて前記複数のデータ線に供給するデータ信号供給手段とを備えており、前記複数の画像信号線のうち第1画像信号線群は前記基板上で前記データ信号供給手段の一方の側へ引き回されており、前記複数の画像信号線のうち第2画像信号線群は前記基板上で前記データ信号供給手段の他方の側へ引き回されており、前記第1及び第2画像信号線群を前記複数の制御信号線から夫々電気的にシールドする少なくとも1本の導電線を前記基板上に更に備えたことを特徴とする。

本発明のかかる構成によれば、画像信号は、画像信号線を介して、データ信号供給手段に供給される。これと並行して、クロック信号、イネーブル信号等を含む制御信号は、制御信号線を介して、データ信号供給手段に供給される。すると、例えばデータ線駆動回路、サンプリング回路等を含んで構成されるデータ信号供給手段により、制御信号に基づいて画像信号に対応するデータ信号が、複数のデータ線に供給される。ここで特に、基板に配線された導電線によ

り、画像信号線は、クロック信号線、イネーブル信号線等の制御信号線から夫々電気的にシールドされている。従って、クロック信号の周波数が高い場合でも、クロック信号線等の制御信号線から画像信号線への高周波のクロックノイズ等の飛び込みを低減できる。

5 他方で、基板に形成されるか又は基板に接続された走査線駆動回路等を含む走査信号供給手段により、走査信号が走査線を介してスイッチング素子に供給される。これと並行して、上述のように高周波のクロックノイズ等が低減された画像信号に対応するデータ信号が、データ線を介してスイッチング素子に供給され、更にスイッチング素子を介して供給されるデータ信号により画素電極に印加される電圧が変化し、当該画素電極に対向する液晶が駆動される。

10 以上の結果、表示すべき画像の解像度が高く、例えば複数にシリアル-パラレル変換された画像信号が入力される場合にも、高周波のクロックノイズ等の発生により画質が劣化することは殆ど又は全く無くなり、高品位の画像表示が可能とされる。しかも、第1画像信号線群は、基板上でデータ信号供給手段の一方の側へ引き回されており、第2画像信号線群は基板上でデータ信号供給手段の他方の側へ引き回されている。従って、例えば12相のシリアル-パラレル変換、24相のシリアル-パラレル変換、…というようにシリアル-パラレル変換数を増やすことによりデータ信号供給手段に供給される画像信号の周波数を下げつつ、多相のシリアル-パラレル変換に対応する多数の画像信号線について、データ信号供給手段の両側にバランス良く配置できる。この結果、サンプリング回路或いはサンプリング回路、データ線駆動回路等からなるデータ信号供給手段を形成する領域を基板上に容易に確保することができる。従つて、限られた基板サイズでの画面の大型化を図ることも可能となる。

15 本発明の二の態様において、前記導電線は、前記複数の制御信号線のうち少なくとも前記画像信号の水平走査期間よりも短い周期を持つ高周波制御信号を供給する高周波制御信号線から、前記第1及び第2画像信号線群をシールドすることが好ましい。

20 本発明のかかる構成によれば、導電線により、画像信号線は、複数の制御信号線のうち高周波制御信号（例えば、クロック信号、イネーブル信号等）を供

給する高周波制御信号線から電気的にシールドされている。従って、クロック信号の周波数が高い場合でも、高周波制御信号線から画像信号線への高周波のクロックノイズ等の飛び込みを低減できる。尚、低周波制御信号（例えば、データ線駆動回路内のシフトレジスタ用のスタート信号等）については、画像信号やデータ信号中の高周波ノイズの原因とはならないため、これを供給する低周波制御信号線を導電線によりシールドしてもよく、シールドしなくてもよい。

本発明の二の態様において、前記第1及び第2画像信号線群と前記高周波制御信号線との間には、前記導電線と共に前記複数の制御信号線のうち少なくとも前記画像信号の水平走査期間よりも短くない周期を持つ低周波制御信号を供給する低周波制御信号線が配線されていることが好ましい。

本発明のかかる構成によれば、第1及び第2画像信号線群の中で高周波制御信号線に近い側に位置する画像信号線は、低周波制御信号線と導電線との少なくとも合計2本の配線の存在により、高周波制御信号線から離間され且つ電気的にシールドされている。即ち、画像信号やデータ信号中の高周波ノイズの原因とはならない低周波制御信号（例えば、データ線駆動回路内のシフトレジスタ用のスタート信号等）を供給する低周波制御信号線を、高周波制御信号線と画像信号線との間に導電線と共に配置することにより、高周波制御信号線の画像信号線に対するクロックノイズ等の悪影響を更に低減できる。特に、一般に距離及び障害物の介在に応じて電磁波は減少するので、制御信号線と画像信号線との間に導電線や低周波制御信号線をなるべく多く配線する構成により、高周波制御信号線から画像信号線に印加される電磁波が減少する。このように、導電線以外に低周波制御信号線を高周波制御信号線と画像信号線との間に介在させることは基板上スペースの有効利用及びノイズ低減の観点から見て有利である。

- 25 本発明の二の態様において、前記第1画像信号線群に接続されており外部画像信号源から前記画像信号が夫々入力される複数の第1外部入力端子と、前記第2画像信号線群に接続されており前記外部画像信号源から前記画像信号が夫々入力される複数の第2外部入力端子と、前記制御信号線に接続されており外部制御信号源から前記制御信号が夫々入力される複数の第3外部入力端子と、

前記導電線に夫々接続された複数の第4外部入力端子とを前記基板の周辺部上に更に備えており、前記第1及び第2外部入力端子の間には、前記第3外部入力端子が配置されており、前記第1及び第3外部入力端子の間並びに前記第3及び第2外部入力端子の間には、前記第4外部入力端子が夫々配置されている
5 ことが好ましい。

本発明のかかる構成によれば、基板の周辺部上において、第1及び第2画像信号線群に夫々接続された複数の第1及び第2外部入力端子の間には、制御信号線に接続された複数の第3外部入力端子が配置されている。即ち、第1から第4外部入力端子が設けられた基板の周辺部上において、中央に制御信号線に接続された複数の第3外部入力端子が集中配置されており、その両側に第1及び第2画像信号線群に夫々接続された複数の第1及び第2外部入力端子が配置されている。そして、これらの間に、導電線に接続された第4外部入力端子が配置されている。従って、第1及び第2画像信号線群と制御信号線との間に基板上で距離を置くと共に、これらの間に導電線を配線する構成を容易に得る
10 ことができる。特に、当該電気光学装置に入力される前段階で、クロック信号等の制御信号が、画像信号に対しクロックノイズ等を発生させてしまう事態を効果的に阻止し得る。仮に、画像信号線に接続された複数の外部入力端子と制御信号線に接続された複数の外部入力端子とが混在していたり、隣接していたりすれば、当該電気光学装置に入力される前段階で、画像信号線と制御信号線と
15 が隣接或いは近接する配線部分が不可避となり、画像信号中にクロックノイズ等が飛び込んでしまうのである。このように本発明によれば、電気光学装置に入力される前後において、クロック信号線から画像信号線への高周波のクロックノイズの飛び込みを低減できる。尚、より好ましくは、基板の周辺部において外部入力端子を形成可能な領域において、第1及び第2外部入力端子を可能な限り両側に寄せて配置すると共に、両者の間に配置される第3外部入力端子との間に可能な限り間隔を空けて、この間隔に導電線に接続された第4外部入力端子を配置する。
- 25

本発明の二の態様において、前記導電線は、前記複数の制御信号線のうち少なくとも前記画像信号の水平走査期間よりも短い周期を持つ高周波制御信号を

供給する高周波制御信号線から、前記第1及び第2画像信号線群をシールドし、前記第3外部入力端子のうち前記第4外部入力端子に隣接する端子は、前記複数の制御信号線のうち少なくとも前記画像信号の水平走査期間よりも短くない周期を持つ低周波制御信号を供給する低周波制御信号線に接続されていること
5 を特徴とする。

本発明のかかる構成によれば、導電線により、画像信号線は、高周波制御信号線から電気的にシールドされている。ここで特に、制御信号線に接続された第3外部入力端子のうち導電線に接続された第4外部入力端子に隣接する端子は、低周波制御信号線に接続されているので、画像信号線は、低周波制御信号
10 線と導電線との少なくとも合計2本の配線の存在により、高周波制御信号線から離間され且つ電気的にシールドされる。

本発明の二の態様において、前記導電線は、前記データ信号供給手段に定電位のデータ線駆動用電源を供給するデータ線駆動用定電位線から構成された部分を含むことが好ましい。

15 本発明のかかる構成によれば、導電線は、前記データ信号供給手段に定電位のデータ線駆動用電源を供給するデータ線駆動用定電位線から構成された部分を含むので、外部入力端子や配線そのものを共用することにより、言い換えれば定電位線を延設して導電線とすることにより、構成の簡略化と省スペース化を図ることが出来、特に導電線を定電位とすることも極めて容易となる。

20 本発明の二の態様において、前記データ線駆動用定電位線は、相異なる定電位の電源を前記データ信号供給手段に供給する第1及び第2定電位線からなり、該第1定電位線から構成された前記導電線部分は、前記基板上で第1及び第2画像信号線群を囲み、前記第2定電位線から構成された前記導電線部分は、前記基板上で前記第1基板上で前記制御信号線を囲むことが好ましい。

25 本発明のかかる構成によれば、第1及び第2画像信号線群は、例えば接地電位の負電源を供給するための第1定電位線から構成された導電線部分により、基板上で囲まれている。制御信号線は、例えば正電源を供給するための第2定電位線から構成された導電線部分により、基板上で囲まれている。従って、画像信号線は、第1基板上で制御信号線から2重にシールドされた構成が得られ

る。

本発明の二の態様において、前記導電線は、前記複数の画素電極により規定される画像表示領域及び前記複数のデータ線を前記基板上で囲むように延設されたことが好ましい。

5 本発明のかかる構成によれば、導電線により、画像表示領域及び複数のデータ線は、基板上で囲まれているので、当該画像表示領域及び複数のデータ線も、クロック信号線等の制御信号線からシールドされることになる。従って、データ信号供給手段から出力されたデータ信号、スイッチング素子や画素電極に到達したデータ信号等における、高周波のクロックノイズ等の発生を低減できる。

10 本発明の二の態様において、前記基板に対向して対向基板が設けられており、前記画像表示領域の輪郭に沿って前記基板及び対向基板のうち少なくとも一方に形成された遮光性の周辺見切りを更に備えており、前記導電線は前記周辺見切りに対向する位置において前記周辺見切りに沿って前記基板に設けられた部分を含むことが好ましい。

15 本発明のかかる構成によれば、導電線は、基板の周辺見切り下に設けられているので、TFTアレイ基板上の省スペース化が図られ、例えば、走査線駆動回路やデータ線駆動回路を基板の周辺部分に余裕を持って形成することができ、導電線形成により液晶装置における有効表示面積の減少することも殆ど又は全くない。

20 本発明の二の態様において、前記導電線及び前記データ線は、同一の低抵抗金属材料から形成されることが好ましい。

本発明のかかる構成によれば、導電線は例えば、Al（アルミニウム）等の、データ線と同一の低抵抗金属材料から形成されているので、導電線の引き回し領域が、たとえ長くても、導電線の抵抗は実用上十分に低く抑えられる。即ち、

- 25 抵抗増加によりシールドの効果を下げることなく、例えば他の配線や回路等の隙間を縫ってジグザグに導電線を長く配線したり、画像表示領域等までも含めた広い領域に導電線を長く配線することが可能となるので、比較的簡単な構成により、当該シールドの効果を全体として、より高めることが出来る。更に、当該電気光学装置の製造プロセスにおいて、導電線及びデータ線を、同一の低

抵抗金属材料から同一工程により形成できる。即ち、導電線を形成することによる製造プロセスの増加を最低限に抑えることができる。

本発明の二の態様において、前記画素電極に所定量の容量を付与する容量線を更に備えており、該容量線が前記導電線に接続されたことが好ましい。

5 本発明のかかる構成によれば、容量線により画素電極に所定量の容量が付与されているので、デューティー比が小さくても高精細な表示が可能とされる。そして、容量線は導電線に接続されている。従って、容量線の電位変動によるスイッチング素子や画素電極への悪影響は防止されている。しかも、容量線を定電位とするための配線を導電線で兼用でき、更に、容量線を定電位にするために必要な外部入力端子も、例えば、前述の第3外部入力端子或いは導電線専用の外部入力端子で兼用できる。

10 本発明の二の態様において、走査信号を前記複数の走査線に順次供給する走査信号供給手段を前記基板上に更に備えており、前記導電線は、前記走査信号供給手段に定電位の走査線駆動用電源を供給する走査線駆動用定電位線から構成された部分を含むことが好ましい。

15 本発明のかかる構成によれば、走査線駆動用定電位線から構成された導電線部分により、画像信号線は、制御信号線から電気的にシールドされている。従って、クロック信号の周波数が高い場合でも、制御信号線から画像信号線への高周波のクロックノイズ等の飛び込みを低減できる。

20 本発明の二の態様において、前記走査信号供給手段は、前記複数の画素電極により規定される画像表示領域の両側に設けられており、前記走査線駆動用定電位線から構成された前記導電線部分は、前記画像表示領域及び前記複数のデータ線を前記基板上で囲むように且つ前記走査線供給手段に前記走査線駆動用電源を冗長的に供給するように延設されていることが好ましい。

- 25 本発明のかかる構成によれば、走査線駆動用定電位線から構成された導電線部分により、画像表示領域及び複数のデータ線は、基板上で囲まれているので、当該画像表示領域及び複数のデータ線も、クロック信号線等の制御信号線からシールドされることになる。従って、データ信号供給手段から出力されたデータ信号、スイッチング素子や画素電極に到達したデータ信号等における、高周

波のクロックノイズ等の発生を低減できる。更に、走査線駆動用定電位線から構成された導電線部分は、画像表示領域の両側に設けられた走査線供給手段に走査線駆動用電源を冗長的に供給するように延設されているので、たとえ、走査線駆動用定電位線から構成された導電線部分や、それ以外の部分で走査線駆動用定電位線に断線が生じても、装置欠陥になり難いので有利である。

本発明の二の態様において、前記データ信号供給手段は、前記画像信号をサンプリングするサンプリング回路と、前記制御信号に基づいて該サンプリング回路を駆動するデータ線駆動回路とを備えており、前記第1画像信号線群に含まれる画像信号線と前記第2画像信号線群に含まれる画像信号線とは、前記データ線駆動回路と前記サンプリング回路との間において、少なくとも1本の画像信号線毎に前記データ線駆動回路の両側から櫛歯状に交互に引き回されていることが好ましい。

本発明のかかる構成によれば、第1画像信号線群に含まれる画像信号線（例えば、奇数番目のデータ線に対応する画像信号線VID1、3、5、7、…）と第2画像信号線群に含まれる画像信号線（例えば、偶数番目のデータ線に対応する画像信号線VID2、4、6、8、…）とは、少なくとも1本の画像信号線毎にデータ線駆動回路の両側から櫛歯状に交互に引き回されている。従つて、データ線駆動回路の周囲で画像信号線やデータ線を規則正しく且つバランス良く配線することができる。

本発明の二の態様において、前記データ信号供給手段は、前記データ線毎に前記データ信号の電圧極性を反転し、前記第1画像信号線群に含まれる画像信号線と前記第2画像信号線群に含まれる画像信号線とは、相隣接する2本のデータ線に対応する2本の画像信号線を対にして前記データ線駆動回路の両側から櫛歯状に交互に引き回されていることが好ましい。

本発明のかかる構成によれば、データ信号供給手段により、データ線毎にデータ信号の電圧極性が反転され、所謂1S反転やドット反転といった反転駆動が行われ、表示画面上のフリッカが低減される。ここで、第1画像信号線群に含まれる画像信号線（例えば、相隣接する2本のデータ線に対応する2本おきの画像信号線VID1、2、5、6…）と第2画像信号線群に含まれる画像信

号線（例えば、相隣接する2本のデータ線に対応する2本おきの画像信号線V
ID 3、4、7、8…）とは、相隣接する2本のデータ線に対応する2本の画像信号線を対にしてデータ線駆動回路の両側から歯状に交互に引き回されている。従って、相隣接する画像信号線には逆極性の画像信号が供給されること
5 になり、同一のノイズ源に起因したノイズ成分については、これら両者間で打ち消し合う効果が働くので、ノイズを低減する上で有利である。

本発明の一及び二の態様における電気光学装置を電子機器に用いることができる。

本発明のかかる構成によれば、電子機器は、上述した本願発明の電気光学装置を備えており、高周波のクロックノイズ等が低減されており、高品位の画像表示が可能となる。

本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにする。

15 図面の簡単な説明

図1は、第1実施形態においてTFTアレイ基板上に形成されたシールド線を含む各種配線、周辺回路等の概略平面図である。

図2は、第1実施形態のシールド線の2次元的レイアウトをより詳細に示す概略平面図である。

20 図3は、図2のTFTアレイ基板上に形成されたシールド線、画像信号線、クロック信号線のA-A'断面図である。

図4は、第2実施形態においてTFTアレイ基板上に形成されたシールド線を含む各種配線、周辺回路等の概略平面図である。

図5は、第2実施形態のシールド線の2次元的レイアウトをより詳細に示す概略平面図である。

図6は、第2実施形態のシフトレジスタ回路における回路図(a)及びタイミングチャート(b)である。

図7は、図5のTFTアレイ基板上に形成されたシールド線、画像信号線、クロック信号線のC-C'断面図(a)及びB-B'断面図(b)である。

図 8 は、図 4 の画像信号線（配線 V I D 1 ~ 1 2 ）の 2 次元的レイアウトの一例を示す概略平面図（a）及び他の例を示す概略平面図（b）である。

図 9 は、本発明の T F T アレイ基板上に形成された画素電極、走査線、データ等の画像表示領域端部における拡大平面図である。

5 図 1 0 は、本発明の液晶装置の画像表示領域に設けられた T F T 部分における断面図である。

図 1 1 は、本発明の液晶装置の周辺見切り領域に設けられたシールド配線部分における断面図である。

図 1 2 は、本発明の液晶装置の全体構成を示す平面図である。

10 図 1 3 は、図 1 2 の H - H' 断面図である。

図 1 4 は、本発明による電子機器の実施の形態の概略構成を示すブロック図である。

図 1 5 は、電子機器の一例としての液晶プロジェクタを示す断面図である。

15 図 1 6 は、電子機器の他の例としてのパーソナルコンピュータを示す正面図である。

図 1 7 は、電子機器の一例としてのページャを示す分解斜視図である。

図 1 8 は、電子機器の一例としての T C P を用いた液晶装置を示す斜視図である。

20 発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づいて説明する。電気光学装置の一例として液晶装置を用いて本実施の形態を説明する。

－第 1 実施形態－

（液晶装置の構成）

- 25 本発明の第 1 実施形態の構成について図 1 から図 3 に基づいて説明する。図 1 は、液晶装置の実施の形態における T F T アレイ基板上に設けられた導電線（以下、シールド線と称す。）を含む各種配線、周辺回路等の構成を示す平面図であり、図 2 は、図 1 のシールド線のより詳細な 2 次元的レイアウトを示す平面図であり、図 3 は、シールド線、画像信号線及びクロック信号線等の配線

を示す図2のA-A'断面図である。

図1において、液晶装置200は、例えば石英基板、ハードガラス等からなるTFTアレイ基板1を備えている。TFTアレイ基板1上には、マトリクス状に設けられた複数の画素電極11と、X方向に複数配列されており夫々がY方向に沿って伸びるデータ線35と、Y方向に複数配列されており夫々がX方向に沿って伸びる走査線31と、各データ線35と画素電極11との間に夫々介在すると共に該間における導通状態及び非導通状態を、走査線31を介して夫々供給される走査信号に応じて夫々制御するスイッチング素子の一例としての複数のTFT30とが形成されている。またTFTアレイ基板1上には、後述の蓄積容量(図9参照)のための配線である容量線31'(蓄積容量電極)が、走査線31と平行に形成されている。

TFTアレイ基板1上には更に、データ信号供給手段の一例を構成するサンプリング回路301及びデータ線駆動回路101と、走査線駆動回路104とが形成されている。また、複数の画素電極11により規定される画像表示領域(即ち、実際に液晶の配向状態変化により画像が表示される液晶装置の領域)の上辺には、画像表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられており、画像表示領域の四隅には、TFTアレイ基板1と対向基板との間で電気的導通をとるための上下道通材106が設けられている。以下図1から図3の説明において、TFTアレイ基板1の下辺に沿って複数設けられた外部入力端子102を介して入力される信号名称と、その信号配線とは、説明の容易化のために同一のアルファベット記号を信号及び配線の後に夫々付加して参照する(例えば、信号名称である“クロック信号CLX”に対し、その信号配線を“配線CLX”と呼ぶ)ことにする。

走査線駆動回路104は、外部制御回路から外部入力端子102並びに配線VSSY及びVDDYを介して供給される、走査線駆動回路用の負電源VSSY及び正電源VDDYを電源として用いて、走査線駆動回路用のスタート信号DYの入力により内蔵シフトレジスタ回路をスタートさせる。そして、外部入力端子102並びに配線CLY及びCLY'を介して供給される、走査線駆動回路用の基準クロック信号CLY及びその反転クロック信号CLY'に基づく

所定タイミングで、走査線 3 1 に走査信号をパルス的に線順次で印加する。

データ線駆動回路 1 0 1 は、外部制御回路から外部入力端子 1 0 2 並びに信号配線 V S S X 及び V D D X を介して供給される、データ線駆動回路用の負電源 V S S X 及び正電源 V D D X を電源として用いて、データ線駆動回路用のスタート信号 D X の入力により内蔵シフトレジスタ回路をスタートさせる。そして、外部入力端子 1 0 2 並びに配線 C L X 及び C L X' を介して供給されるデータ線駆動回路用の基準クロック信号 C L X 及びその反転クロック信号 C L X' に基づきサンプリング回路駆動信号線 3 0 6 にサンプリング回路駆動信号が供給される。

サンプリング回路 3 0 1 は、T F T 3 0 2 を各データ線 3 5 每に備えており、配線 V I D 1 ~ V I D 6 が T F T 3 0 2 のソース電極に接続されており、サンプリング回路駆動信号線 3 0 6 が T F T 3 0 2 のゲート電極に接続されている。そして、外部入力端子 1 0 2 及び配線 V I D 1 ~ V I D 6 を介して供給される例えば 6 相にシリアルーパラレル変換された画像信号 V I D 1 ~ V I D 6 は、サンプリング回路駆動信号線 3 0 6 を介して、データ線駆動回路 1 0 1 から供給されるサンプリング回路駆動信号に応じてサンプリング回路 3 0 1 でサンプリングされ、サンプリングされた画像信号 V I D 1 ~ V I D 6 は、6 つの隣接するデータ線 3 5 からなるグループ毎に順次印加する。

以上のように、データ線駆動回路 1 0 1 とサンプリング回路 3 0 1 とは、6 相にシリアルーパラレル変換された画像信号 V I D 1 ~ V I D 6 をデータ線 3 5 にデータ信号として供給するように構成されている。本実施の形態では隣接する 6 つのデータ線 3 5 に接続されるサンプリング回路 3 0 1 を同時に選択し、6 つのデータ線 3 5 からなるグループ毎に順次転送していく方式を述べたが、データ線 3 5 を 1 本毎に選択してもよいし、隣接する 2、3、…、5 本或いは 7 本以上を同時に選択してもよい。また、データ線 3 5 に供給される画像信号のシリアルーパラレル変換数は 6 相のみならず、サンプリング回路 3 0 1 を構成する T F T 3 0 2 の書き込み特性が良ければ、5 相以下でもよいし、画像信号の周波数が高ければ、7 相以上に増やしてもよい。この際、少なくとも画像信号のシリアルーパラレル変換数だけ、画像信号用の外部入力端子 1 0 2 及び

画像信号線が必要なことは言うまでもない。

図2に示すように、データ線駆動回路101は、スタート信号DXが入力されると、基準クロック信号CLX及びその反転クロック信号CLX'に基づく転送信号の順次生成を開始するシフトレジスタ回路101aと、シフトレジスタ回路101aからの転送信号を波形整形しバッファリングした後、サンプリング回路駆動信号線306を介してサンプリング回路301に供給する波形制御回路101b及びバッファ回路101cとを備えている。また、サンプリング回路301は、6相にシリアルーパラレル変換された画像信号VID1～VID6に対応してTFT302が6個ずつパラレルに各サンプリング回路駆動信号線306に接続されている。即ち、TFT302から構成されるスイッチS1～S6が左から1本目のサンプリング回路駆動信号線306に接続されており、スイッチS7～S12が左から2本目のサンプリング回路駆動信号線306に接続されており、スイッチSn-5～Snが右端のサンプリング回路駆動信号線306に接続されている。

本実施の形態では特に、図1及び図2に示すように、TFTアレイ基板1には、負電源VSSX用の配線VSSXを兼ねた定電位のシールド線80及び正電源VDDX用の配線VDDXを兼ねた定電位のシールド線82が配線されている。これらのシールド線80及び82により、配線VID1～VID6は、配線CLX及びCLX'から電気的にシールドされている。従って、クロック信号CLXの周波数が高い場合でも、配線CLX及びCLX'から配線VID1～VID6への高周波のクロックノイズの飛び込みを低減できる。

尚、走査線駆動用のクロック信号CLY(及びその反転クロック信号CLY')の周波数は、データ線駆動用の上述のクロック信号CLX(及びその反転クロック信号CLX')の周波数に比べて遙かに低い。従って、クロック信号CLY及びCLY'については、高周波のクロックノイズが問題となることは少ない。しかしながら、本実施の形態においては、図1及び図2に示したように、シールド線80及び82により、配線CLY及びCLY'からも、配線VID1～VID6は、シールドされるように配線されている。すなわち、外部入力端子102から延設され、データ線駆動回路101の負電源VSSXを兼ねた

シールド線 8 0 は、対向基板 2 に設けられた遮光性の周辺見切り 5 3 下に沿って、画像表示領域を囲むように配線される。従って、画像信号用の配線 V I D 1 ~ V I D 6 ばかりではなく、サンプリング回路 3 0 1 の T F T 3 0 2 を介してデータ信号が書き込まれるデータ線 3 5 への周辺回路からのノイズの飛び込みをも低減できる。

特に本実施の形態では、配線 V S S X 及び V D D X を夫々延設してシールド線 8 0 及び 8 2 とすることにより、外部入力端子や配線を共用することが可能となり、装置構成の簡略化と省スペース化を図ることが出来る。また、シールド線 8 0 及び 8 2 の電位は、このように定電位線との共用化により、容易に定電位とされる。但し、電源用の配線とシールド線を別個に配線してもよい。

また、データ線駆動回路 1 0 1 及び走査線駆動回路 1 0 4 を駆動するための電源電圧が互いに同じであれば、正電源の電位（正電位）である V D D X 及び V D D Y 、負電源の電位（負電位）である V S S X 及び V S S Y はそれぞれ共用させてもよい。このような構成を採れば、外部入力端子及びそれから延設される配線が削減できるので有利である。

本実施の形態では、図 2 に示すように、負電源 V S S X が入力される外部入力端子 1 0 2 が 2 つ設けられており、配線 V S S X もこれに対応して 2 本設けられている。そして、配線 V I D 1 ~ V I D 6 は、負電源 V S S X の電位（負電位）とされたシールド線 8 0 により、T F T アレイ基板 1 上で囲まれている。

特に、シフトレジスタ回路 1 0 1 a と波形制御回路 1 0 1 b との間にも、データ線 3 5 と同じ A 1 等の金属層から形成されたシールド線 8 0 は延設されている。そして、延設されたシールド線 8 0 の先端部は、後述のように第 1 層間絶縁層を介して A 1 等の金属層の下方において、例えば走査線 3 1 と同じポリシリコン等の導電性層から形成されたシールド線接続部 8 1 を介して、波形制御回路 1 0 1 b 及びバッファ回路 1 0 1 c を囲むようにしてシールド線 8 0 に接続されている。

他方、図 2 に示すように、配線 C L X 及び C L X' は、データ線駆動回路 1 0 1 に隣接する部分においては、正電源 V D D X の電位（正電位）とされたシールド線 8 2 により、T F T アレイ基板 1 上で囲まれている。特に、波形制御

回路 101b とバッファ回路 101cとの間にも、データ線 35 と同じ A1 等の金属層から形成されたシールド線 82 は延設されており、その先端部は、例えば走査線 31 と同じポリシリコン等の導電層から形成されたシールド線接続部 83 を介して波形制御回路 101b 及びシフトレジスタ回路 101a を囲むようにしてシールド線 82 に接続されている。
5

従って、配線 VID1～VID6 は、TFTアレイ基板 1 上で配線 CLX 及び CLX' から 2 重にシールドされた構成が採られており、シフトレジスタ回路 101a 並びに波形制御回路 101b 及びバッファ回路 101c に対するシールドも信頼性が高いものとされている。但し、このように囲む構成を採らなくて、配線 CLX 及び CLX' と配線 VID1～VID6 の間にシールド線 80 又は 82 が少なくとも一本介在するように構成すれば、シールドの効果は多少なりとも得られる。

本実施の形態では、図 1 及び図 2 に示したように、配線 VID1～VID6 と配線 CLX 及び CLX' とは、TFTアレイ基板 1 上でデータ線駆動回路 101 に対して反対向きに（即ち、前者は時計周りに、後者は反時計周りに）引き回されている。従って、これらの配線間の距離が全体として大きくなるため、且つこれらの配線間にあるデータ線駆動回路 101 の介在に応じてこれらの配線間を伝達する電磁波は減少するので、クロック信号 CLX 及び CLX' の周波数が高い場合でも、配線 CLX 及び CLX' から、配線 VID1～VID6 への高周波のクロックノイズの飛び込みを更に低減できる。また、配線 CLX 及び CLX' と配線 VID1～VID6 の引き回しは、その方向が入れ替わっても何ら問題はない。すなわち、配線 CLX 及び CLX' を負電源 VSSX でシールドし、配線 VID1～VID6 を正電源 VDDX でシールドしてもよい。但し、このように反対方向に引き回す構成を採らなくても、配線 CLX 及び CLX' と配線 VID1～VID6 の間にシールド線 80 又は 82 が少なくとも一本介在するように構成すれば、シールドの効果は多少なりとも得られる。

本実施の形態では、クロック信号 CLX 及び CLX' 用の外部入力端子 102 と、画像信号 VID1～VID6 用の外部入力端子 102 とは、負電源 VSX 用、正電源 VDDX 用及びスタート信号 DX 用の 3 つの外部入力端子 10

2 を間に介して、相互に所定間隔を隔てて配置されている。そして好ましくは、TFTアレイ基板1の周辺部において外部入力端子102を形成可能な領域において、可能な限りクロック信号CLX及びCLX'用の外部入力端子102と、画像信号VID1～VID6用の外部入力端子102とは、相互に離して配置され、少なくとも一個以上の外部入力端子102が両者間に配置される。
5 このように構成すれば、例えば画像信号線とクロック信号線とを隣接配置した場合と比較して、クロック用の配線から画像信号用の配線への高周波のクロックノイズの飛び込みを低減できる。

本実施の形態では図1及び図2に示したように、シールド線80により、画像表示領域及び複数のデータ線35は、TFTアレイ基板1上で囲まれている。
10 このため、当該画像表示領域及び複数のデータ線35も、配線CLX及びCLX'からシールドされている。従って、データ線駆動回路101から出力されたサンプリング回路駆動信号、TFT30や画素電極11に到達したデータ信号等における、高周波のクロックノイズの発生を低減できる。但し、このよう
15 に画像表示領域までも囲む構成を探らなくても、サンプリング回路301に至るまでの配線VID1～VID6をシールド線80又は82によりシールドするように構成すれば、シールドの効果は多少なりとも得られる。

図3に断面図で示すように、シールド線80及び82を含む外部入力端子102に接続された各種配線DY、VSSY、…、VDDXは、例えば、A1(アルミニウム)等の、データ線35と同一の低抵抗金属材料から形成されている。
20 従って、シールド線80及び82の引き回し領域が、たとえ長くても、シールド線80及び82の抵抗は実用上十分に低く抑えられる。即ち、図2に示したように、他の各種配線やシフトレジスタ回路101a並びに波形制御回路101b及びバッファ回路101cの隙間を縫ってジグザグにシールド線82を長く配線でき、更に画像表示領域までも含めた広い領域にシールド線80を長く配線できる。このように比較的簡単な構成により、当該シールドの効果を全体として高めることが出来る。また図3に示すように、シールド線80及び82を含む外部入力端子102に接続された各種配線DY、VSSY、…、VDDXは、TFTアレイ基板1に形成された第1層間絶縁層42上に、即ち同一層
- 25

上に形成されている。従って、シールドの効果がより効率良く発揮される。更に、このように構成すると、液晶装置200の製造プロセスにおいて、各種配線DY、VSSY、…、VDDXを、例えば、A1層等の同一の低抵抗金属層から同一工程により一括して形成できるので、製造上有利である。

5 尚、図1から図3に示した外部入力端子102から入力される信号LCCOMは、共通電極の電源信号であり、配線LCCOM及び前述の上下道通材106を介して、後述の対向基板に設けられた共通電極（図10参照）に供給される。

－第2実施形態－

10 次に第2実施形態について説明する。第2実施形態は第1実施形態と同様な構成を有するものであり、同様な構成要素には同様な符号を付し、その説明を省略する。第1実施形態とは異なる点のみを説明する。

（液晶装置の構成）

本実施の形態の構成について図4から図8に基づいて説明する。図4は、液晶装置の実施の形態におけるTFTアレイ基板上に設けられたシールド線を含む各種配線、周辺回路等の構成を示す平面図であり、図5は、図4のシールド線のより詳細な2次元的レイアウトを示す平面図であり、図6(a)及び(b)は図5に示したシフトレジスタ回路における回路図(a)及びタイミングチャート(b)であり、図7はTFTアレイ基板上に形成されたシールド線、画像信号線及びクロック信号線等の配線を示す図6のA-A'断面図及びB-B'断面図であり、図8は、図1の画像信号線の2次元的レイアウトの一例を示す概略平面図(図8(a))及び他の例を示す概略平面図(図8(b))である。

サンプリング回路301は、TFT302を各データ線35毎に備えており、配線VID1～VID12がTFT302のソース電極に接続されており、サンプリング回路駆動信号線306がTFT302のゲート電極に接続されている。そして、外部入力端子102及び配線VID1～VID12を介して供給される例えば12相にシリアル-パラレル変換された画像信号VID1～VID12は、サンプリング回路駆動信号線306を介して、データ線駆動回路101から供給されるサンプリング回路駆動信号に応じてサンプリング回路30

1でサンプリングされ、サンプリングされた画像信号V I D 1～V I D 1 2は、1 2の隣接するデータ線3 5からなるグループ毎に順次印加する。

以上のように、データ線駆動回路1 0 1とサンプリング回路3 0 1とは、1 2相にシリアルーパラレル変換された画像信号V I D 1～V I D 1 2をデータ線3 5にデータ信号として供給するように構成されている。本実施の形態においては1 2本毎にグループ化して画像信号を供給する構成としているが、上述の第1実施形態と同様に1 2本に限るものではない。実施の形態では特に、以下に述べるようにデータ線駆動回路1 0 1の両側から配線V I D 1～V I D 1 2が引き回されているので、この本数（シリアルーパラレル変換数）は多くてもTFTアレイ基板1上にバランス良く配線できる。尚、画像信号のシリアルーパラレル変換数とサンプリング回路3 0 1を同時に選択する数が相等しくなるように構成してもよいし、前者が後者よりも多くなるように構成してもよい。

図5に示すように、データ線駆動回路1 0 1は、スタート信号DXが入力されると、基準クロック信号CL X及びその反転クロック信号CL K'に基づく転送信号の順次生成を開始するシフトレジスタ回路1 0 1 aと、シフトレジスタ回路1 0 1 aからの転送信号を波形整形しバッファリングした後、サンプリング回路駆動信号線3 0 6を介してサンプリング回路3 0 1に供給する波形制御回路1 0 1 b及びバッファ回路1 0 1 cとを備えている。また、サンプリング回路3 0 1は、1 2相にシリアルーパラレル変換された画像信号V I D 1～V I D 1 2に対応してTFT 3 0 2が1 2個ずつパラレルに各サンプリング回路駆動信号線3 0 6に接続されている。即ち、TFT 3 0 2から構成されるスイッチS 1～S 1 2が左から1本目のサンプリング回路駆動信号線3 0 6に接続されており、スイッチS 1 3～S 2 4が左から2本目のサンプリング回路駆動信号線3 0 6に接続されており、スイッチS n-11～S nが右端のサンプリング回路駆動信号線3 0 6に接続されている。図5で示したイネーブル信号（制御信号）EN B 1及びEN B 2は、波形制御回路1 0 1 b内に設けられたイネーブル回路に入力される。このイネーブル回路では、シフトレジスタ回路1 0 1 aから順次出力されるパルスの幅を、イネーブル信号EN B 1及びEN B 2のパルス幅に制限することにより、サンプリング回路3 0 1の選択期間を制御

する。これにより、データ線 1 2 本分ずつ離れて同一の配線（V I D 1 ~ V I D 1 2）から画像信号を受けるデータ線 3 5 間におけるゴーストの発生を防止する。従って、イネーブル信号 E N B 1 及び E N B 2 は、クロック信号 C L X 及び C L X' と同じく、水平走査期間よりも短い周期を持つ高周波制御信号に属する。他方、シフトレジスタ回路 1 0 1 a に入力されるスタート信号 D X は、クロック信号 C L Y 及び C L Y' や走査線駆動回路側のシフトレジスタに入力されるスタート信号 D Y と同じく、水平走査期間よりも短くない周期を持つ低周波制御信号に属する。

ここで、シフトレジスタ回路 1 0 1 a の具体的な回路構成及び動作について 10 図 6 を参照して説明する。尚、図 6 (a) は、イネーブル回路を含むシフトレジスタ回路を示す回路図であり、図 6 (b) は、このシフトレジスタ回路における各種信号のタイミングチャートである。

先ず、図 6 (a) において、シフトレジスタ回路 1 0 1 a の各段の出力に対応してイネーブル回路 1 1 2 が夫々設けられている。シフトレジスタ回路 1 0 1 a の各段は、右方向（左から右へ向かう方向）に対応する転送方向で各段から転送信号が順次出力されるように、所定周期の基準クロック信号 C L X 及びその反転信号 C L X' の 2 値レベルが変化する毎に転送信号に帰還をかけて次段に転送する 2 つのクロックドインバータを夫々含んで構成されている。また、イネーブル回路 1 1 2 は、シフトレジスタ回路 1 0 1 a の奇数段目から出力される転送信号のパルス幅を第 1 イネーブル信号 E N B 1 のパルス幅に制限すると共に偶数段目から出力される転送信号のパルス幅を第 2 イネーブル信号 E N B 2 のパルス幅に制限するよう、転送信号とイネーブル信号 E N B 1 又は E N B 2 との排他的論理積をとる N A N D 回路と、その結果を反転させるインバータ回路とから構成されている。シフトレジスタ回路 1 0 1 a には、転送信号の転送をスタートさせるための信号 D X が図中左側から入力される。

図 6 (b) のタイミングチャートに示すタイミングで、この信号 D X、クロック信号 C L X 及びその反転信号 C L X' と、第 1 及び第 2 イネーブル信号 E N B 1 及び E N B 2 とが入力されると、上述のように構成されたシフトレジスタ回路 1 0 1 a からは、クロック信号 C L X の半周期だけ順次遅れる転送信号

が順次出力される。すると、イネーブル回路 112により、この転送信号のパルス幅が信号 ENB 1 及び ENB 2 のパルス幅に制限されて、クロック信号 CLX のパルス幅よりも幅の狭いパルスから夫々なるサンプリング回路駆動信号 Q1、Q2、Q3、…、Qm（但し、mは奇数）が、図2に示した波形制御回路 101b 及びバッファ回路 101c を介してサンプリング回路 301 に順次供給される。

本実施の形態では特に、図4及び図5に示すように、TFTアレイ基板1には、負電源VSSX用の配線VSSXを兼ねた定電位のシールド線84、負電源VSSY用の配線VSSYを兼ねた定電位のシールド線85、正電源VDDX用の配線VDDXを兼ねた定電位のシールド線86、及び正電源VDDY用の配線VDDYを兼ねた定電位のシールド線87が配線されている。これらのシールド線84、85、86及び87により、画像信号線である配線VID1～VID12は、配線CLX及びCLX'並びに配線ENB1及びENB2から電気的にシールドされている。従って、クロック信号CLXの周波数が高い場合でも、高周波制御信号線である配線CLX及びCLX'並びに配線ENB1及びENB2から配線VID1～VID12への高周波のクロックノイズ等の飛び込みを低減できる。

しかも、図4及び図5に示したように、第1画像信号線群の一例を構成する奇数番目の画像信号線VID1、3、5、7、9及び11は、TFTアレイ基板1上のデータ線駆動回路101のX方向側へ引き回されており、第2画像信号線群の一例を構成する偶数番目の画像信号線VID2、4、6、8、10及び12は、TFTアレイ基板1上のデータ線駆動回路101のX方向と反対側へ引き回されている。従って、例えば12相のシリアルーパラレル変換というように比較的多相のシリアルーパラレル変換数を行うことにより、サンプリング回路301に供給される画像信号VID1～12の周波数を下げつつ、多数の配線VID1～12については、データ線駆動回路101の両側にバランス良く配置できる。この結果、サンプリング回路301及びデータ線駆動回路101からなるデータ信号供給手段を形成する領域をTFTアレイ基板1上に容易に確保することができる。従って、限られた基板サイズにおける画面の大型

化が図られる。

本実施の形態では特に、図5に示したように、定電位のシールド線84により、画像信号線たる配線VID1～12は、前述の高周波制御信号に属するクロック信号CLX及びCLX'並びにイネーブル信号ENB1及びENB2を供給する高周波制御信号線たる配線CLX及びCLX'並びに配線ENB1及びENB2から電気的にシールドされている。従って、クロック信号の周波数が高い場合でも、これらの高周波制御信号線から配線VID1～12への高周波のクロックノイズ等の飛び込みを低減できる。他方、前述の低周波制御信号に属するスタート信号DX及びDY、並びにクロック信号CLY及びCLY'については、配線VID1～12上の画像信号や、これに基づいて供給されたデータ線35上のデータ信号中の高周波ノイズの原因とはならない。このため、低周波制御信号線たる配線DX、DY、CLY及びCLY'は、定電位のシールド線によりシールドしてもよく、シールドしなくてもよい。本実施の形態では、図5に示したように、右側では配線VID1、3、…、11は、定電位の配線VDDYからなるシールド線87により配線DY、CLY及びCLY'からシールドされており、左側では配線VID2、4、…、12は定電位の配線VSSYからなるシールド線85により配線DYからシールドされている。また、配線DXからは、シールド線84により配線VID1～12はシールドされている。

更に本実施の形態では特に、X方向側（奇数番目）の画像信号線群の中で高周波制御信号線たる配線CLX及びCLX'に近い側に位置する配線VID1
1は、配線VSSX及びVDDXからなる2本のシールド線84及び86の存在により、これらの配線CLX及びCLX'から離間されており、且つ電気的にシールドされている。また、X方向と反対側（偶数番目）の画像信号線群の中で高周波制御信号線たる配線CLX及びCLX'に近い側に位置する配線VID12は、配線VSSXからなる1本のシールド線84及び低周波制御信号線たる配線DXの存在により、これらの配線CLX及びCLX'から離間されており、且つ電気的にシールドされている。即ち、画像信号やデータ信号中の高周波ノイズの原因とはならない低周波制御信号線に属する配線DXを、

高周波制御信号線たる配線 CLX 及び CLX' と配線 VID 1 2との間に、シールド線 8 4と共に配置することにより、配線 CLX 及び CLX' の VID 1 2に対するクロックノイズ等の悪影響を更に低減できる。一般に距離及び障害物の介在に応じて電磁波は減少するので、配線 CLX 及び CLX' や配線 EN 5 B 1 及び EN B 2 と配線 VID 1 ~ 1 2との間にシールド線（配線 8 4、8 5、8 6、8 7 等の定電位の配線）や低周波制御信号線（配線 DX、DY、CL Y、CL Y' 等の低周波制御信号が供給される配線）をなるべく多く配線する構成により、クロックノイズを発生させる電磁波が減少して、クロックノイズ等が低減する。このように、シールド線以外に低周波制御信号線を高周波制御信号 10 線と画像信号線との間に介在させることは TFT 基板 1 上スペースの有効利用及びノイズ低減の観点から見て有利である。

また図 5 に示したように本実施の形態では、TFT アレイ基板 1 の周辺部上において、配線 VID 1 ~ 1 2 に夫々接続された外部入力端子 1 0 2 は両側に配置されており、その間に配線 EN B 1、EN B 2、CL X' 及び CL X に接続された外部入力端子 1 0 2 が集中配置されている。そして、配線 VID 1 2 に接続された外部入力端子 1 0 2 と配線 EN B 1 に接続された外部入力端子 1 0 2との間に、シールド線 8 4（配線 VSS X）に接続された外部入力端子 1 0 2 が配置されている。また、配線 VID 1 1 に接続された外部入力端子 1 0 2 と配線 CL X に接続された外部入力端子 1 0 2との間に、シールド線 8 4（配線 VSS X）に接続された外部入力端子 1 0 2 が配置されている。従って、配線 VID 1 ~ 1 2 と配線 EN B 1、EN B 2、CL X' 及び CL Xとの間にシールド線 8 4 を配線する構成を容易に得ることができる。特に、液晶装置 2 0 0 に入力される前段階で、例えば、表示情報処理回路等の外部回路から液晶装置 2 0 0 への配線中で、クロック信号 CL X 等が、画像信号 VID 1 ~ 1 2 に -25 対しクロックノイズ等を発生させてしまう事態を効果的に阻止し得る。このように本実施の形態によれば、液晶装置 2 0 0 に入力される前後において、クロック信号用の配線から画像信号用の配線への高周波のクロックノイズの飛び込み等を低減できる。尚、より好ましくは、TFT アレイ基板 1 の周辺部において外部入力端子 1 0 2 を形成可能な領域において、配線 VID 1 ~ 1 2 用の外

部入力端子 102 を可能な限り両側（X 方向側及び X 方向と反対側）に寄せて配置すると共に、中央に集中配置される配線 CLX' 等用の外部入力端子 102 との間に可能な限り間隔を空けて、この間隔にシールド線 80 等用の外部入力端子 102 を配置する。

5 本実施の形態では、配線 VSSX、VSSY、VDDX 及び VSSY を夫々延設してシールド線 84、85、86 及び 87 とすることにより、外部入力端子や配線を共用することが可能となり、装置構成の簡略化と省スペース化を図ることが出来る。また、シールド線 84、85、86 及び 87 の電位は、このように定電位線との共用化により、容易に定電位とされる。但し、電源用の配
10 線とシールド線を別個に配線してもよい。

本実施の形態では、図 5 に示すように、負電源 VSSX が入力される外部入力端子 102 が 2 つ設けられている。そして、配線 VID1～VID12 は、負電源 VSSX の電位（負電位）とされたシールド線 84 により、TFT アレイ基板 1 上で囲まれている。特に、シフトレジスタ回路 101a と波形制御回路 101b との間にも、データ線 35 と同じ A1 等の金属層から形成されたシールド線 84 は延設されている。そして、延設されたシールド線 84 の先端部は、後述のように第 1 層間絶縁層を介して A1 等の金属層の下方において、例えば走査線 31 と同じポリシリコン等の導電性層から形成されたシールド線接続部 81 を介して、波形制御回路 101b 及びバッファ回路 101c を囲むようにしてシールド線 84 に接続されている。

他方、図 5 に示すように、配線 CLX 及び CLX' は、データ線駆動回路 101 に隣接する部分においては、正電源 VDDX の電位（正電位）とされたシールド線 86 により、TFT アレイ基板 1 上で囲まれている。特に、波形制御回路 101b とバッファ回路 101c との間にも、データ線 35 と同じ A1 等の金属層から形成されたシールド線 86 は延設されており、その先端部は、例えば走査線 31 と同じポリシリコン等の導電性層から形成されたシールド線接続部 83 を介して波形制御回路 101b 及びシフトレジスタ回路 101a を囲むようにしてシールド線 86 に接続されている。

従って、配線 VID1～VID12 は、TFT アレイ基板 1 上で配線 CLX

及び CLX' 並びに配線 ENB 1 及び ENB 2 から 2 重にシールドされた構成が採られており、シフトレジスタ回路 101a 並びに波形制御回路 101b 及びバッファ回路 101c に対するシールドも信頼性が高いものとされている。但し、このように囲む構成を採らなくても、配線 CLX、CLX'、ENB 1 5 及び ENB 2 と配線 VID 1～VID 12との間にシールド線 84、85、86 及び 87 が少なくとも一本介在するように構成すれば、シールドの効果は多少なりとも得られる。

本実施の形態では図 4 及び図 5 に示したように、シールド線 85 により、画像表示領域及び複数のデータ線 35 は、TFT アレイ基板 1 上で囲まれている。10 このため、当該画像表示領域及び複数のデータ線 35 も、配線 CLX、CLX'、ENB 1 及び ENB 2 からシールドされている。従って、データ線駆動回路 101 から出力されたサンプリング回路駆動信号、TFT 30 や画素電極 11 に到達したデータ信号等における、高周波のクロックノイズの発生等を低減できる。但し、このように画像表示領域までも囲む構成を採らなくても、サンプリング回路 301 に至るまでの配線 VID 1～VID 12 をシールド線 84、85、86 又は 87 によりシールドするように構成すれば、シールドの効果は多少なりとも得られる。この場合図 4 から分かるように、シールド線 85 は、配線 VSSY から延設されており、画像表示領域の両側に設けられた走査線駆動回路 104 に電源信号 VSSY を冗長的に供給するように延設されている。このため、たとえ、シールド線 85 或いは配線 VSSY に断線が生じても、装置欠陥になり難いので有利である。15 20

図 7 (a) 及び (b) の断面図に夫々示すように、外部入力端子 102 に接続された各種配線 DY、VSSY、…、VDDX は、例えば、A1 (アルミニウム) 等の、データ線 35 と同一の低抵抗金属材料から形成されている。従つて、シールド線、84 (配線 VSSX)、85 (配線 VSSY)、86 (配線 VDDX) 及び 87 (配線 VDDY) の引き回し領域が、たとえ長くても、各シールド線 84、85、86 及び 87 の抵抗は実用上十分に低く抑えられる。即ち、図 5 に示したように、他の各種配線やシフトレジスタ回路 101a 並びに波形制御回路 101b 及びバッファ回路 101c の隙間を縫ってジグザグに

シールド線 8 4 や 8 6 を長く配線でき、更に画像表示領域までも含めた広い領域にシールド線 8 5 を長く配線できる。このように比較的簡単な構成により、当該シールドの効果を全体として高めることが出来る。また図 7 (a) 及び (b) に示すように、各種配線 D Y、V S S Y、…、V D D X は、T F T アレイ基板 5 1 に形成された第 1 層間絶縁層 4 2 上に、即ち同一層上に形成されている。従って、シールドの効果がより効率良く発揮される。更に、このように構成すると、液晶装置 2 0 0 の製造プロセスにおいて、各種配線 D Y、V S S Y、…、V D D X を、例えば、A 1 層等の同一の低抵抗金属層から同一工程により一括して形成できるので、製造上有利である。

10 図 8 (a) に、図 4 及び図 5 に示した走査線駆動回路 1 0 1 とサンプリング回路 3 0 1 との間における配線 V I D 1 ~ 1 2 の引き回し方式を拡大して示す。同図において、奇数番目の画像信号線たる配線 V I D 1、…、1 1 と偶数番目の画像信号線たる配線 V I D 2、…、1 2 とは、各配線毎に両側から櫛歯状に交互に引き回されている。従って、データ線駆動回路 1 0 1 の周囲において、配線 V I D 1 ~ 1 2 及びサンプリング回路駆動信号線 3 0 6 は、大変規則性良く且つバランス良く配線されている。

ところで、本実施の形態では、液晶を直流駆動により劣化させないためや表示画面上のフリッカを防止するため等に、液晶駆動電圧を反転させる各種の方式、例えば、フィールド又はフレーム反転駆動、走査線反転駆動（所謂 1 H 反転駆動）、データ線反転駆動（所謂 1 S 反転駆動）、ドット反転駆動などを採用可能である。ここで特に、1 S 反転やドット反転といった相隣接するデータ線間で電圧極性を反転させて液晶駆動を行う場合には、図 8 (a) に示したように一本の配線 V I D 1 ~ 1 2 每に櫛歯状にするよりも、図 8 (b) に示すように、相隣接する 2 本のデータ線 3 5 に対応する 2 本の配線 V I D 1 及び 2、5 及び 6 等を夫々一対として 2 本おきに一方の側（例えば右側）から引き回すと共に、それら以外の相隣接する 2 本のデータ線 3 5 に対応する 2 本の配線 V I D 3 及び 4、7 及び 8 等を夫々一対として 2 本おきに逆側（例えば左側）から引き回すと共に、データ線駆動回路 1 0 1 とサンプリング回路 3 0 1 の間で 2 本の配線を一対として夫々両側から櫛歯状にするのがより好ましい。このよ

うに配線すれば、TFTアレイ基板1上で相隣接する各対の配線1及び2、3及び4、…から供給される画像信号は夫々逆極性とされてデータ線35に供給されるので、これらの信号中に存在する同一のノイズ源に起因したノイズ成分については、これら各対をなす両者間で打ち消し合う効果が働くので、ノイズを低減するのに役立つ。

(液晶装置の動作)

次に、以上のように構成された液晶装置200の動作について図1を参照して説明する。

先ず、走査線駆動回路104は、所定タイミングで走査線31に走査信号をパルス的に線順次で印加する。

これと並行して、12本の配線VID1～VID12からパラレルな画像信号を受けると、サンプリング回路301は、これらの画像信号をサンプリングする。データ線駆動回路101は、走査線駆動回路104がゲート電圧を印加するタイミングに合わせて、12本の配線VID1～VID12夫々について一つのデータ線毎にサンプリング回路駆動信号を供給して、サンプリング回路301のTFT302をオン状態とする。これにより、隣接する12本のデータ線35に対して、サンプリング回路301にサンプリングされたデータ信号を順次印加する。即ち、データ線駆動回路101とサンプリング回路301により、配線VID1～VID12から入力された12相のシリアル～パラレル変換されたパラレルな画像信号VID1～VID12は、データ線35に供給される。

このように、走査信号及びデータ信号の両方が印加されたTFT30を介して画素電極11に電圧が印加される。そして、この画素電極11の電圧は、ソース電圧が印加された時間よりも例えば3桁も長い時間だけ蓄積容量（後述する）により保持される。ここで特に、シールド線84、85、86及び87により、配線VID1～VID12は、配線CLX及びCLX'並びに配線ENB1及びENB2からシールドされているので、クロック信号CLXの周波数が高い場合でも、配線CLX及びCLX'並びに配線ENB1及びENB2から配線VID1～VID12への高周波のクロックノイズ等の飛び込みを低減

できる。

以上のように、画素電極 11 に電圧が印加されると、液晶層 50 におけるこの画素電極 11 と共通電極（後述する）とに挟まれた部分における液晶の配向状態が変化し、ノーマリー・ホワイトモードであれば、印加された電圧に応じて 5 入射光がこの液晶部分を通過不可能とされ、ノーマリー・ブラックモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過可能とされ、全体として液晶装置 200 からは画像信号に応じたコントラストを持つ光が出射する。

以上の結果、表示すべき画像の解像度が高く、高周波のシリアルな画像信号 V I D 1 ~ V I D 12 が入力される場合にも、これに対応して周波数が高いクロック信号 C L X を用いつつ、高周波のクロックノイズの発生により画質が劣化することは殆ど又は全く無くなり、高品位の画像表示が可能とされる。しかも、12 相のシリアル-パラレル変換という比較的多数の相にシリアル-パラレル変換した結果、画像信号の周波数を落とすことにより、通常性能のサンプリング回路によりサンプリングを行うことが可能とされている。

15 (液晶装置全体構成について)

次に、第 1 及び第 2 実施形態の液晶装置 200 の具体的構成について図 9、図 10 及び図 11 を参照して説明する。図 9 は液晶装置 200 の画素部の平面図であり、図 10 は図 9 における B-B' に沿った断面図であり、図 11 は額縁（周辺見切り）に対向配置された液晶装置のシールド線 80 に沿った断面図 20 である。尚、図 10、図 11においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

ここで、図 9 の平面図に示すように、容量線 31' は、TFT アレイ基板 1 上において走査線 31（ゲート電極）と平行に、例えば走査線 31 と同じく導電性のポリシリコン層等から形成されており、シールド線 80 にコンタクトホール 80a を介して接続されている。このように構成すれば、容量線 31' を定電位とするための配線をシールド線 80 で兼用でき、容量線 31' を定電位にするために必要な外部入力端子も、シールド線 80 用の外部入力端子 102 で兼用できる。

図 10 の断面図において、液晶装置 200 は、各画素に設けられる TFT 3

0部分において、TFTアレイ基板1並びにその上に積層された半導体層32、ゲート絶縁層33、走査線31（ゲート電極）、第1層間絶縁層42、データ線35（ソース電極）、第2層間絶縁層43、画素電極11及び配向膜12を備えている。液晶装置200はまた、例えばガラス基板から成る対向基板2並びにその上に積層された共通電極21、配向膜22及び遮光膜23を備えている。液晶装置200は更に、これらの両基板間に挟持された液晶層50を備えている。

ここでは先ず、これらの層のうち、TFT30を除く各層の構成について順に説明する。

10 第1及び第2層間絶縁層42及び43は夫々、5000～15000Å程度の層みを持つNSG（ノンシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる。尚、TFTアレイ基板1上に、TFT30の下地となる層間絶縁層をシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等から形成してもよい。

15 画素電極11は例えば、ITO膜（インジウム・ティン・オキサイド膜）などの透明導電性薄膜からなる。このような画素電極11は、スパッタリング処理等によりITO膜等を約50～200nmの厚さに堆積した後、フォトリソグラフィ工程、エッチング工程を施すこと等により形成される。尚、当該液晶装置200を反射型の液晶装置に用いる場合には、A1等の反射率の高い不透明な材料から画素電極11を形成してもよい。

20 配向膜12は例えば、ポリイミド薄膜などの有機薄膜からなる。このような配向膜12は、例えばポリイミド系の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により形成される。

25 共通電極21は、対向基板2の全面に渡って形成されている。このような共通電極21は、例えばスパッタリング処理等によりITO膜等を約50～200nmの厚さに堆積した後、フォトリソグラフィ工程、エッチング工程を施すこと等により形成される。

配向膜22は、例えば、ポリイミド薄膜などの有機薄膜からなる。このよう

な配向膜22は、例えばポリイミド系の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により形成される。

遮光膜23は、TFT30に対向する所定領域に設けられている。このような遮光膜23は、前述の周辺見切り53同様に、CrやNiなどの金属材料を用いたスパッタリング、フォトリソグラフィ及びエッチングにより形成されたり、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成される。遮光膜23は、TFT30の半導体層(ポリシリコン膜)32に対する遮光の他に、コントラストの向上、色材の混色防止などの機能を有する。

液晶層50は、画素電極11と共に電極21とが対面するように配置されたTFTアレイ基板1と対向基板2との間において、シール材52(図5及び図6参照)により囲まれた空間に液晶が真空吸引等により封入されることにより形成される。液晶層50は、画素電極11からの電界が印加されていない状態で配向膜12及び22により所定の配向状態を探る。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材52は、二つの基板1及び2をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのスペーサが混入されている。

次に、TFT30に係る各層の構成について順に説明する。

TFT30は、走査線31(ゲート電極)、走査線31からの電界によりチャネルが形成される半導体層32、走査線31と半導体層32とを絶縁するゲート絶縁層33、半導体層32に形成されたソース領域34、データ線35(ソース電極)、及び半導体層32に形成されたドレイン領域36を備えている。ドレイン領域36には、複数の画素電極11のうちの対応する一つが接続されている。ソース領域34及びドレイン領域36は後述のように、半導体層32に対し、n型又はp型のチャネルを形成するかに応じて所定濃度のn型用又はp型用のドーパントをドープすることにより形成されている。n型チャネルのTFTは、動作速度が速いという利点があり、画素のスイッチング素子であるTFT30として用いられることが多い。

TFT30を構成する半導体層32は、例えば、TFTアレイ基板1上にa-Si(アモルファスシリコン)膜を形成後、アニール処理を施して約50～200nmの厚さに固相成長させることにより形成する。この際、nチャネル型のTFT30の場合には、Sb(アンチモン)、As(砒素)、P(リン)などのV族元素のドーパントを用いたイオン注入等によりドープしてもよい。また、pチャネル型のTFT30の場合には、B(ボロン)、Ga(ガリウム)、In(インジウム)などのIII族元素のドーパントを用いたイオン注入等によりドープする。特にTFT30をLDD(Lightly Doped Drain)構造を持つnチャネル型のTFTとする場合、p型の半導体層32に、ソース領域34及びドレイン領域36のうちチャネル側に夫々隣接する一部にPなどのV族元素のドーパントにより低濃度ドープ領域を形成し、同じくPなどのV族元素のドーパントにより高濃度ドープ領域を形成する。また、pチャネル型のTFT30とする場合、n型の半導体層32に、BなどのIII族元素のドーパントを用いてソース領域34及びドレイン領域36を形成する。このようにLDD構造とした場合、ショートチャネル効果を低減できる利点が得られる。尚、TFT30は、LDD構造における低濃度ドープ領域にイオン注入したオフセット構造のTFTとしてもよいし、ゲート電極をマスクとして高濃度の不純物イオンをドープすることにより自己整合的に高濃度なソース及びドレイン領域を形成するセルフアライン型のTFTとしてもよい。また、ゲート電極31を2個直列に設けデュアルゲート構造としてもよいし、ゲート電極31を3個以上直列に設けてもよいことは言うまでもない。このような構成を採れば、TFT30のオフ時におけるリーク電流が低減され、クロストーク等の発生を抑制できるため、高品位な液晶装置を提供することができる。

ゲート絶縁層33は、半導体層32を約900～1300°Cの温度により熱酸化することにより、30～150nm程度の比較的薄い厚さの熱酸化膜を形成して得ることができる。これにより半導体層32とゲート絶縁層33の界面状態の優れた良質の絶縁膜を形成することができる。

走査線31(ゲート電極)は、減圧CVD法等によりポリシリコン膜を堆積した後、フォトリソグラフィ工程、エッチング工程等により形成される。或い

は、A1等の金属膜又は金属シリサイド膜から形成されてもよい。この場合、走査線31(ゲート電極)を、遮光膜23が覆う領域の一部又は全部に対応する遮光膜として配置すれば、金属膜や金属シリサイド膜の持つ遮光性により、遮光膜23の一部又は全部を省略することも可能となる。この場合特に、対向基板2とTFTアレイ基板1との貼り合わせにによる画素開口率の低下を防ぐことが出来る利点がある。

データ線35(ソース電極)は、画素電極11と同様にITO膜等の透明導電性薄膜から形成してもよい。或いは、スパッタリング処理等により、約100~500nmの厚さに堆積されたA1等の低抵抗金属や金属シリサイド等から形成してもよい。

また、第1層間絶縁層42には、ソース領域34へ通じるコンタクトホール37及びドレイン領域36へ通じるコンタクトホール38が夫々形成されている。このソース領域34へのコンタクトホール37を介して、データ線35(ソース電極)はソース領域34に電気的接続される。更に、第2層間絶縁層43には、ドレイン領域36へのコンタクトホール38が形成されている。このドレイン領域36へのコンタクトホール38を介して、画素電極11はドレイン領域36に電気的接続される。前述の画素電極11は、このように構成された第2層間絶縁層43の上面に設けられている。各コンタクトホールは、例えば、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより形成すれば、開口サイズの微細化が可能となり、画素の高開口率化が実現できる。

尚、一般にはチャネルが形成される半導体層32は、光が入射するとp-Siが有する光電変換効果により光電流が発生してしまいTFT30のトランジスタ特性が劣化するが、本実施の形態では、対向基板2には各TFT30に夫々対向する位置に遮光膜23が形成されているので、入射光が半導体層32に入射することが防止される。更にこれに加えて又は代えて、ゲート電極を上側から覆うようにデータ線35をA1等の不透明な金属薄膜から形成すれば、遮光膜23と共に又は単独で、半導体層32への入射光(即ち、図7で上側からの光)の入射を効果的に防ぐことが出来る。

図10において、画素電極11には蓄積容量70が夫々設けられている。この蓄積容量70は、より具体的には、半導体層32と同一工程により形成される第1蓄積容量電極層32'、ゲート絶縁層33と同一工程により形成される絶縁層33'、走査線31と同一工程により形成される容量線31'（第2蓄積容量電極）、第1及び第2層間絶縁層42及び43、並びに第1及び第2層間絶縁層42及び43を介して容量線31'に対向する画素電極11の一部から構成されている。このように蓄積容量70が設けられているため、デューティー比が小さくても高精細な表示が可能とされる。

図11の断面図に示すように、周辺見切り53に対向し且つ複数の走査線31の上方の位置において第1層間絶縁層42上をシールド線80は通過する。そして、このシールド線80は、その殆どの部分が、前述したデータ線35と同一工程で形成されたA1等の金属薄膜からなる低抵抗な配線である。このように液晶装置200の製造プロセスにおいて、シールド線80とデータ線35とを一括して形成できるので、製造上有利である。

本実施の形態では特に、TFT30はポリシリコンタイプのTFTであるので、TFT30の形成時に同一薄膜形成工程で、サンプリング回路301、データ線駆動回路101、走査線駆動回路104等の同じくポリシリコンTFTタイプのTFT302等から構成された周辺回路を形成できるので製造上有利である。例えば、これらの周辺回路は、nチャネル型ポリシリコンTFT及びpチャネル型ポリシリコンTFTから構成される相補構造の複数のTFTからTFTアレイ基板1上の周辺部分に形成される。

尚、図10及び図11には示されていないが、液晶装置200においては、対向基板2の投射光が入射する側及びTFTアレイ基板1の投射光が出射する側には夫々、例えば、TN（ツイステッドネマティック）モード、STN（スーパーTN）モード、D-STN（ダブル-STN）モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

（本発明の液晶装置の全体構成）

第1及び第2実施形態の液晶装置の全体構成について説明する。

図12は本発明の液晶装置の全体構成を示す平面図であり、図13は図12のH-H'断面図である。図12に示されるように、サンプリング回路301は、図1及び図4の斜線領域で示すように、且つ図12及び図13に示すように、対向基板2に形成された遮光性の周辺見切り53に対向する位置において5 TFTアレイ基板1上に設けられており、データ線駆動回路101及び走査線駆動回路104は、液晶層50に面しないTFTアレイ基板1の狭く細長い周辺部分上に設けられている。TFTアレイ基板1の上には、画像表示領域の周囲において両基板を貼り合わせて液晶層50を包囲するシール部材の一例としての光硬化性樹脂からなるシール材52が、画像表示領域に沿って設けられている。そして、対向基板2上における画像表示領域とシール材52との間には、遮光性の周辺見切り53が設けられている。

周辺見切り53は、後に画像表示領域に対応して開口部が設けられた遮光性のケースにTFTアレイ基板1が入れられた場合に、当該画像表示領域が製造誤差等により当該ケースの開口の縁に隠れてしまわないように、即ち、例えば15 TFTアレイ基板1のケースに対する数百 μm 程度のずれを許容するように、画像表示領域の周囲に少なくとも500 μm 以上の幅を持つ帯状の遮光性材料から形成されたものである。このような遮光性の周辺見切り53は、例えば、Cr(クロム)、Ni(ニッケル)、Al(アルミニウム)等の金属材料を用いたスパッタリング、フォトリソグラフィ工程及びエッチング工程等により対20 向基板2に形成される。或いは、カーボンやTi(チタン)をフォトレジストに分散した樹脂ブラックなどの材料から形成される。また、TFTアレイ基板1上に遮光性の周辺見切り53を設けてもよい。周辺見切り53をTFTアレイ基板1上に内蔵すれば、TFTアレイ基板1と対向基板2との貼り合わせ工程での精度のばらつきで画素の開口領域が影響を受けることがないため、液晶装置の透過率を高精度に維持することができる。

シール材52の外側の領域には、画像表示領域の下辺に沿ってデータ線駆動回路101及び外部入力端子(実装端子)102が設けられており、画像表示領域の左右の2辺に沿って走査線駆動回路104が画像表示領域の両側に設けられている。そして、シール材52とほぼ同じ輪郭を持つ対向基板2が当該シ

ール材 5 2 により T F T アレイ基板 1 に固定されている。

以上のようにシールド線 8 0 及びサンプリング回路 3 0 1 は、 T F T アレイ基板 1 上の周辺見切り 5 3 の下に設けられているので、 T F T アレイ基板 1 上の省スペース化が図られ、例えば、走査線駆動回路 1 0 4 やデータ線駆動回路 1 0 1 を T F T アレイ基板 1 の周辺部分に余裕を持って形成することができ、シールド線 8 0 の形成により液晶装置 2 0 0 における有効表示面積が減少することも殆ど又は全くない。

また、以上説明した液晶装置 2 0 0 は、カラー液晶プロジェクタに適用されるため、3つの液晶装置 2 0 0 0 が R G B 用のライトバルブとして夫々用いられ、各パネルには夫々 R G B 色分解用のダイクロイックミラーを介して分解された各色の光が入射光として夫々入射されることになる。従って、各実施の形態では、対向基板 2 に、カラーフィルタは設けられていない。しかしながら、

液晶装置 2 0 0 においても遮光層 2 3 の形成されていない画素電極 1 1 に対向する所定領域に R G B のカラーフィルタをその保護膜と共に、対向基板 2 上に形成してもよい。あるいは T F T アレイ基板 1 上の各画素に対応するように、

R G B のカラーレジストによりカラーフィルタ層を内蔵してもよい。このようすれば、液晶プロジェクタ以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に本実施の形態の液晶装置を適用できる。更に、対向基板 2 上に 1 画素 1 個対応するようにマイクロレンズを形成してもよい。このようすれば、入射光の集光効率を向上することで、明るい液晶装置が実現できる。更にまた、対向基板 2 上に、何層もの屈折率の相違する干渉層を堆積することで、

光の干渉を利用して、R G B 色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー液晶装置が実現できる。

液晶装置 2 0 0 において、 T F T アレイ基板 1 側における液晶分子の配向不良を抑制するために、第 2 層間絶縁層 4 3 の上に更に平坦化膜をスピンドル等で塗布してもよく、又は C M P 処理を施してもよい。或いは、第 2 層間絶縁層 4 3 を平坦化膜で形成してもよい。

液晶装置 2 0 0 のスイッチング素子は、正スタガ型又はコプラナー型のポリ

シリコン TFT であるとして説明したが、逆スタガ型の TFT やアモルファスシリコン TFT 等の他の形式の TFT に対しても、本実施の形態は有効である。

液晶装置 200においては、一例として液晶層 50 をネマティック液晶から構成したが、液晶を高分子中に微小粒として分散させた高分子分散型液晶を用

5 いれば、配向膜 12 及び 22、並びに前述の偏光フィルム、偏光板等が不要となり、光利用効率が高まることによる液晶装置の高輝度化や低消費電力化の利点が得られる。更に、画素電極 11 を Al 等の反射率の高い金属膜から構成することにより、液晶装置 200 を反射型液晶装置に適用する場合には、電圧無印加状態で液晶分子がほぼ垂直配向された SH (スーパー・ホメオトロピック)

10 型液晶などを用いても良い。更にまた、液晶装置 200においては、液晶層 50 に対し垂直な電界 (縦電界) を印加するように対向基板 2 の側に共通電極 21 を設けているが、液晶層 50 に平行な電界 (横電界) を印加するように一对

15 の横電界発生用の電極から画素電極 11 を夫々構成する (即ち、対向基板 2 の側には縦電界発生用の電極を設けることなく、TFT アレイ基板 1 の側に横電界発生用の電極を設ける) ことも可能である。このように横電界を用いると、縦電界を用いた場合よりも視野角を広げる上で有利である。その他、各種の液晶材料 (液晶層)、動作モード、液晶配列、駆動方法等に本実施の形態を適用することが可能である。

以上説明した実施の形態において更に、周辺見切り 53 下や TFT アレイ基

20 板 1 の周辺部に、プリチャージ回路、検査回路等の周知の周辺回路を設けてもよい。プリチャージ回路は、コントラスト比の向上、データ線 35 の電位レベルの安定、表示画面上のラインむらの低減等を目的として、データ線 35 に対し、データ線駆動回路 101 から供給されるデータ信号に先行するタイミングで、プリチャージ信号を供給することにより、データ信号をデータ線 35 に書き込む際の負荷を軽減する回路である。例えば、特開平 7-295520 号公報に、このようなプリチャージ回路の一例が開示されている。他方、検査回路は、周辺見切り 53 下や TFT アレイ基板の周辺部に、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための回路である。

更にまた、以上の実施の形態において、TFT 30 に代えて TFD (Thin

Film Diode)等の2端子型非線形素子等からスイッチング素子を構成してもよい。また、石英基板、ハードガラス等の代わりにシリコン基板にスイッチング素子を構成してもよい。この場合、データ線及び走査線のうち一方の線を対向基板に配置して対向電極として機能させ、TFTアレイ基板に設けられた他方の線と画素電極との間にスイッチング素子を夫々配置して液晶駆動する。このように構成しても、画素信号線やデータ線をクロック信号線からシールドすることにより、高周波のクロックノイズの画像信号やデータ信号への飛び込みを防止する効果は発揮される。上述の実施形態は液晶装置を一例として説明したが、液晶装置に限るものではなく、エレクトロルミネッセンス、プラズマディスプレイ等の各種電気光学装置にも適用可能である。

(電子機器)

次に、以上詳細に説明した液晶装置200を備えた電子機器の実施の形態について図14から図18を参照して説明する。

先ず図14に、このように液晶装置200を備えた電子機器の概略構成を示す。

図14において、電子機器は、表示情報出力源1000、表示情報処理回路1002、駆動回路1004、液晶装置200、クロック発生回路1008並びに電源回路1010を備えて構成されている。表示情報出力源1000は、ROM (Read Only Memory)、RAM (Random Access Memory)、光ディスク装置などのメモリ、テレビ信号を同調して出力する同調回路等を含み、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力する。表示情報処理回路1002は、增幅・極性反転回路、シリアル-パラレル変換回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKと共に駆動回路1004に出力する。駆動回路1004は、液晶装置200を駆動する。電源回路1010は、上述の各回路に所定電源を供給する。尚、液晶装置200を構成するTFTアレイ基板1の上に、駆動回路1004を搭載してもよく、これに加えて表示情報処理

回路 1002 を搭載してもよい。

次に図 15 から図 18 に、このように構成された電子機器の具体例を夫々示す。

図 15において、電子機器の一例たる液晶プロジェクタ 1100 は、上述した駆動回路 1004 が TFT アレイ基板上に搭載された液晶装置 200 を含む液晶モジュールを 3 個用意し、夫々 RGB 用のライトバルブ 200R、200G 及び 200B として用いたプロジェクタとして構成されている。液晶プロジェクタ 1100 では、メタルハライドランプ等の白色光源のランプユニット 1102 から投射光が発せられると、3 枚のミラー 1106 及び 2 枚のダイクロイックミラー 1108 によって、RGB の 3 原色に対応する光成分 R、G、B に分けられ、各色に対応するライトバルブ 200R、200G 及び 200B に夫々導かれる。この際特に B 光は、長い光路による光損失を防ぐために、入射レンズ 1122、リレーレンズ 1123 及び出射レンズ 1124 からなるリレーレンズ系 1121 を介して導かれる。そして、ライトバルブ 200R、200G 及び 200B により夫々変調された 3 原色に対応する光成分は、ダイクロイックプリズム 1112 により再度合成された後、投射レンズ 1114 を介してスクリーン 1120 にカラー画像として投射される。

本実施の形態においては特に、前述のように遮光層を TFT の下側にも設けておけば、当該液晶装置 200 からの入射光に基づく液晶プロジェクタ内の投射光学系による反射光、入射光が通過する際の TFT アレイ基板の表面からの反射光、他の液晶装置から出射した後にダイクロイックプリズム 1112 を突き抜けてくる入射光の一部 (R 光及び G 光の一部) 等が、戻り光として TFT アレイ基板の側から入射しても、画素電極のスイッチング用の TFT 等のチャネルに対する遮光を十分に行うことができる。この場合、小型化に適したプリズムを投射光学系に用いても、各液晶装置の TFT アレイ基板とプリズムとの間ににおいて、戻り光防止用の AR フィルムを貼り付けたり、偏光板に AR 被膜処理を施したりすることが不要となるので、構成を小型且つ簡易化する上で大変有利である。

図 16において、電子機器の他の例たるマルチメディア対応のラップトップ

型のパーソナルコンピュータ（PC）1200は、上述した液晶装置200がトップカバーケース内に備えられており、更にCPU、メモリ、モデム等を収容すると共にキーボード1202が組み込まれた本体1204を備えている。

図17において、電子機器の他の例たるページヤ1300は、金属フレーム1302内に前述の駆動回路1004がTFTアレイ基板上に搭載されて液晶モジュールをなす液晶装置200が、バックライト1306aを含むライトガイド1306、回路基板1308、第1及び第2のシールド板1310及び1312、二つの弹性導電体1314及び1316、並びにフィルムキャリアテープ1318と共に収容されている。この例の場合、前述の表示情報処理回路1002（図11参照）は、回路基板1308に搭載してもよく、液晶装置200のTFTアレイ基板上に搭載してもよい。更に、前述の駆動回路1004を回路基板1308上に搭載することも可能である。

尚、図17に示す例はページヤであるので、回路基板1308等が設けられている。しかしながら、駆動回路1004や更に表示情報処理回路1002を搭載して液晶モジュールをなす液晶装置200の場合には、金属フレーム1302内に液晶装置200を固定したものを液晶装置として、或いはこれに加えてライトガイド1306を組み込んだバックライト式の液晶装置として、生産、販売、使用等することも可能である。

また図18に示すように、駆動回路1004や表示情報処理回路1002を搭載しない液晶装置200の場合には、駆動回路1004や表示情報処理回路1002を含むIC1324がポリイミドテープ1322上に実装されたTCP（Tape Carrier Package）1320に、TFTアレイ基板1の周辺部に設けられた異方性導電フィルムを介して物理的且つ電気的に接続して、液晶装置として、生産、販売、使用等することも可能である。

以上図15から図18を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション（EWS）、携帯電話、テレビ電話、POS端末、タッチパネルを備えた装置等などが図14に示した電子機器の例として挙げられる。

以上説明したように、本実施の形態によれば、高周波のクロックノイズの発生が低減されており、高品位の画像表示が可能であり、しかも基板サイズに比べて画像表示領域が大きい液晶装置 200 を備えた各種の電子機器を実現できる。

5

産業上の利用分野

本発明の電気光学装置によれば、基板に配線された定電位の導電線により、画像信号線は、クロック信号線等の制御信号線からシールドされているので、クロック信号線から画像信号線への高周波のクロックノイズ等の飛び込みを低減でき、高解像度の画像を表示するための高周波数の画像信号に応じて高品位の画像表示を行える。しかも、画像信号線をデータ信号供給手段の両側へ引き回わす構成により、多相のシリアル-パラレル変換に対応する多数の画像信号線を配線する場合にも、データ信号供給手段の両側にバランス良く配線でき、限られた基板サイズでの画面の大型化を図ることも可能となる。また、画像表示領域及び複数のデータ線をもシールドすることにより、データ線上のデータ信号等における、高周波のクロックノイズの発生を低減でき、より高品位の画像表示が可能となる。

また、本発明の電子機器によれば、高周波のクロックノイズが低減されており、基板サイズに比べて画像表示領域が大きい高品位の画像表示が可能な、液晶プロジェクタ、パーソナルコンピュータ、ページャ等の様々な電子機器を実現可能となる。

請 求 の 範 囲

1. 基板上には複数の走査線と、前記複数の走査線に交差する複数のデータ線と、前記複数の走査線とデータ線に接続された複数のスイッチング素子と、前記複数のスイッチング素子に接続された複数の画素電極と、クロック信号に基づいて画像信号に対応するデータ信号を前記複数のデータ線に供給するデータ信号供給手段と、第1外部入力端子から入力される前記画像信号を前記データ信号供給手段に供給する画像信号線と、第2外部入力端子から入力される前記クロック信号を前記データ信号供給手段に供給するクロック信号線と、前記画像信号線を前記クロック信号線から電気的にシールドする定電位の導電線とを備えたことを特徴とする電気光学装置。

2. 前記導電線は、前記データ信号供給手段に定電位の電源を供給する定電位線から構成された部分を含むことを特徴とする請求項1に記載の電気光学装置。

3. 前記定電位線は、相異なる定電位の電源を前記データ信号供給手段に供給する第1及び第2定電位線からなり、

該第1定電位線から構成された前記導電線部分は、前記基板上で前記画像信号線を囲み、

前記第2定電位線から構成された前記導電線部分は、前記基板上で前記クロック信号線を囲むことを特徴とする請求項2に記載の電気光学装置。

4. 前記データ信号供給手段は、前記画像信号をサンプリングするサンプリング回路と、前記定電位線からの電源供給を受けて前記クロック信号に基づいて該サンプリング回路を駆動するデータ線駆動回路とを備えており、

前記画像信号線と前記クロック信号線とは、前記基板上で前記データ線駆動回路に対して反対方向から引き回されていることを特徴とする請求項2又は3に記載の電気光学装置。

5. 前記第1及び第2外部入力端子は、前記基板の周辺部において相互に所定間隔を隔てて配置されており、前記第1及び第2外部入力端子の間には、前記定電位の電源を前記定電位線に入力するための第3外部入力端子が配置されていることを特徴とする請求項2から4のいずれか一項に記載の電気光学装置。

6. 前記導電線は、前記複数の画素電極により規定される画像表示領域及び前記複数のデータ線を前記基板上で囲むように延設されたこと特徴とする請求項 1 から 5 のいずれか一項に記載の電気光学装置。

7. 前記基板に対向して対向基板が設けられてなり、前記画像表示領域の輪郭 5 に沿って前記基板及び前記対向基板のうち少なくとも一方に形成された遮光性の周辺見切りを更に備えており、

前記導電線は前記周辺見切りに対向する位置において前記周辺見切りに沿つて前記基板に設けられた部分を含むことを特徴とする請求項 6 に記載の電気光学装置。

10 8. 前記導電線及び前記データ線は、同一の低抵抗金属材料から形成されたこと特徴とする請求項 1 から 7 のいずれか一項に記載の電気光学装置。

9. 前記画像信号線及びクロック信号線の間に介在する前記導電線部分並びに前記画像信号線及びクロック信号線は、前記基板に平行な同一平面上に形成された同一の低抵抗金属層から構成されたことを特徴とする請求項 1 から 8 のいずれか一項に記載の電気光学装置。

10. 前記画素電極に所定量の容量を付与する容量線を更に備えており、該容量線が前記導電線に接続されたことを特徴とする請求項 1 から 9 のいずれか一項に記載の電気光学装置。

11. 基板上に複数のデータ線と、該複数のデータ線に交差する複数の走査線 20 と、前記複数のデータ線及び走査線に接続された複数のスイッチング素子と、前記複数のスイッチング素子に接続された複数の画素電極と、画像信号が供給される複数の画像信号線と、クロック信号を含む制御信号が供給される複数の制御信号線と、前記画像信号線及び前記制御信号線を夫々介して前記画像信号及び前記制御信号が入力され、前記画像信号に対応するデータ信号を前記制御信号に基づいて前記複数のデータ線に供給するデータ信号供給手段とを備えて 25 おり、

前記複数の画像信号線のうち第 1 画像信号線群は前記基板上で前記データ信号供給手段の一方の側へ引き回されており、前記複数の画像信号線のうち第 2 画像信号線群は前記第 1 基板上で前記データ信号供給手段の他方の側へ引き回

されており、前記第1及び第2画像信号線群を前記複数の制御信号線から夫々電気的にシールドする少なくとも1本の導電線を前記基板上に更に備えたことを特徴とする電気光学装置。

12. 前記導電線は、前記複数の制御信号線のうち少なくとも前記画像信号の水平走査期間よりも短い周期を持つ高周波制御信号を供給する高周波制御信号線から、前記第1及び第2画像信号線群をシールドすることを特徴とする請求項11に記載の電気光学装置。

13. 前記第1及び第2画像信号線群と前記高周波制御信号線との間には、前記導電線と共に前記複数の制御信号線のうち少なくとも前記画像信号の水平走査期間よりも短くない周期を持つ低周波制御信号を供給する低周波制御信号線が配線されていることを特徴とする請求項12に記載の電気光学装置。

14. 前記第1画像信号線群に接続されており外部画像信号源から前記画像信号が夫々入力される複数の第1外部入力端子と、前記第2画像信号線群に接続されており前記外部画像信号源から前記画像信号が夫々入力される複数の第2外部入力端子と、前記制御信号線に接続されており外部制御信号源から前記制御信号が夫々入力される複数の第3外部入力端子と、前記導電線に夫々接続された複数の第4外部入力端子とを前記基板の周辺部上に更に備えており、前記第1及び第2外部入力端子の間には、前記第3外部入力端子が配置されており、前記第1及び第3外部入力端子の間並びに前記第3及び第2外部入力端子の間には、前記第4外部入力端子が夫々配置されていることを特徴とする請求項11に記載の電気光学装置。

15. 前記導電線は、前記複数の制御信号線のうち少なくとも前記画像信号の水平走査期間よりも短い周期を持つ高周波制御信号を供給する高周波制御信号線から、前記第1及び第2画像信号線群をシールドし、

25 前記第3外部入力端子のうち前記第4外部入力端子に隣接する端子は、前記複数の制御信号線のうち少なくとも前記画像信号の水平走査期間よりも短くない周期を持つ低周波制御信号を供給する低周波制御信号線に接続されていることを特徴とする請求項14に記載の電気光学装置。

16. 前記導電線は、前記データ信号供給手段に定電位のデータ線駆動用電源

を供給するデータ線駆動用定電位線から構成された部分を含むことを特徴とする請求項 11 から 15 のいずれか一項に記載の電気光学装置。

17. 前記データ線駆動用定電位線は、相異なる定電位の電源を前記データ信号供給手段に供給する第 1 及び第 2 定電位線からなり、

5 該第 1 定電位線から構成された前記導電線部分は、前記基板上で前記第 1 及び第 2 画像信号線群を囲み、

前記第 2 定電位線から構成された前記導電線部分は、前記基板上で前記制御信号線を囲むことを特徴とする請求項 16 に記載の電気光学装置。

18. 前記導電線は、前記複数の画素電極により規定される画像表示領域及び
10 前記複数のデータ線を前記基板上で囲むように延設されたこと特徴とする請求項 11 から 17 のいずれか一項に記載の電気光学装置。

19. 前記基板に対向して対向基板が設けられており、前記画像表示領域の輪郭に沿って前記基板及び対向基板のうち少なくとも一方に形成された遮光性の周辺見切りを更に備えており、

15 前記導電線は前記周辺見切りに対向する位置において前記周辺見切りに沿って前記基板に設けられた部分を含むことを特徴とする請求項 18 に記載の電気光学装置。

20. 前記導電線及び前記データ線は、同一の低抵抗金属材料から形成されたことを特徴とする請求項 11 から 19 のいずれか一項に記載の電気光学装置。

21. 前記画素電極に所定量の容量を付与する容量線を前記基板上に更に備えており、該容量線が前記導電線に接続されたことを特徴とする請求項 11 から 20 のいずれか一項に記載の電気光学装置。

22. 走査信号を前記複数の走査線に供給する走査信号供給手段を前記基板上に更に備えており、

25 前記導電線は、前記走査信号供給手段に定電位の走査線駆動用電源を供給する走査線駆動用定電位線から構成された部分を含むことを特徴とする請求項 11 から 21 のいずれか一項に記載の電気光学装置。

23. 前記走査信号供給手段は、前記複数の画素電極により規定される画像表示領域の両側に設けられており、

前記走査線駆動用定電位線から構成された前記導電線部分は、前記画像表示領域及び前記複数のデータ線を前記第1基板上で囲むように且つ前記走査線供給手段に前記走査線駆動用電源を冗長的に供給するように延設されていることを特徴とする請求項22に記載の電気光学装置。

5 24. 前記データ信号供給手段は、前記画像信号をサンプリングするサンプリング回路と、前記制御信号に基づいて該サンプリング回路を駆動するデータ線駆動回路とを備えており、

前記第1画像信号線群に含まれる画像信号線と前記第2画像信号線群に含まれる画像信号線とは、前記データ線駆動回路と前記サンプリング回路との間に
10 おいて、少なくとも1本の画像信号線毎に前記データ線駆動回路の両側から櫛歯状に交互に引き回されていることを特徴とする請求項21から23のいずれか一項に記載の電気光学装置。

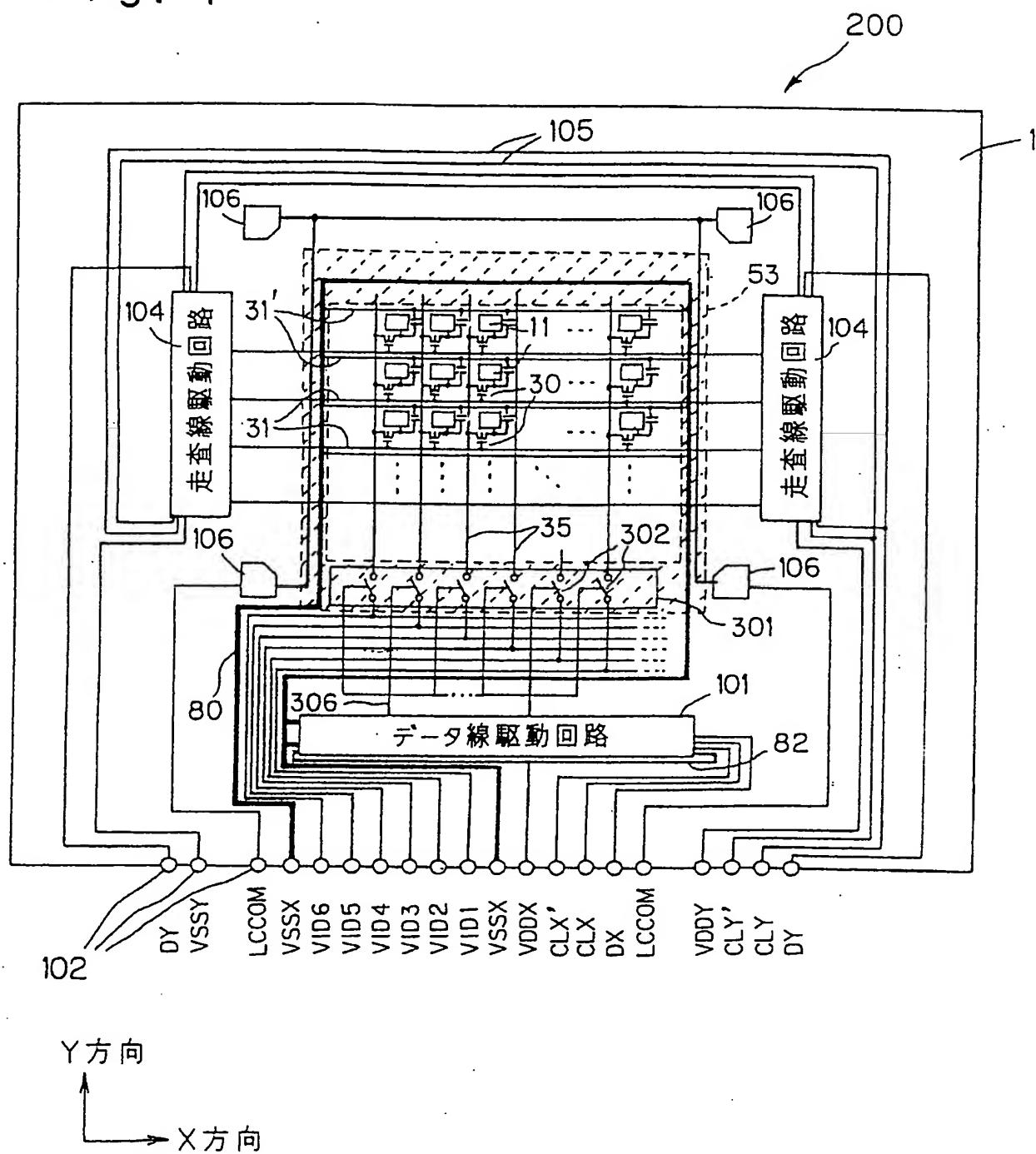
25. 前記データ信号供給手段は、前記データ線毎に前記データ信号の電圧極性を反転し、

15 前記第1画像信号線群に含まれる画像信号線と前記第2画像信号線群に含まれる画像信号線とは、相隣接する2本のデータ線に対応する2本の画像信号線を対にして前記データ線駆動回路の両側から櫛歯状に交互に引き回されていることを特徴とする請求項24に記載の電気光学装置。

26. 請求項1から25に記載の電気光学装置を備えたことを特徴とする電子
20 機器。

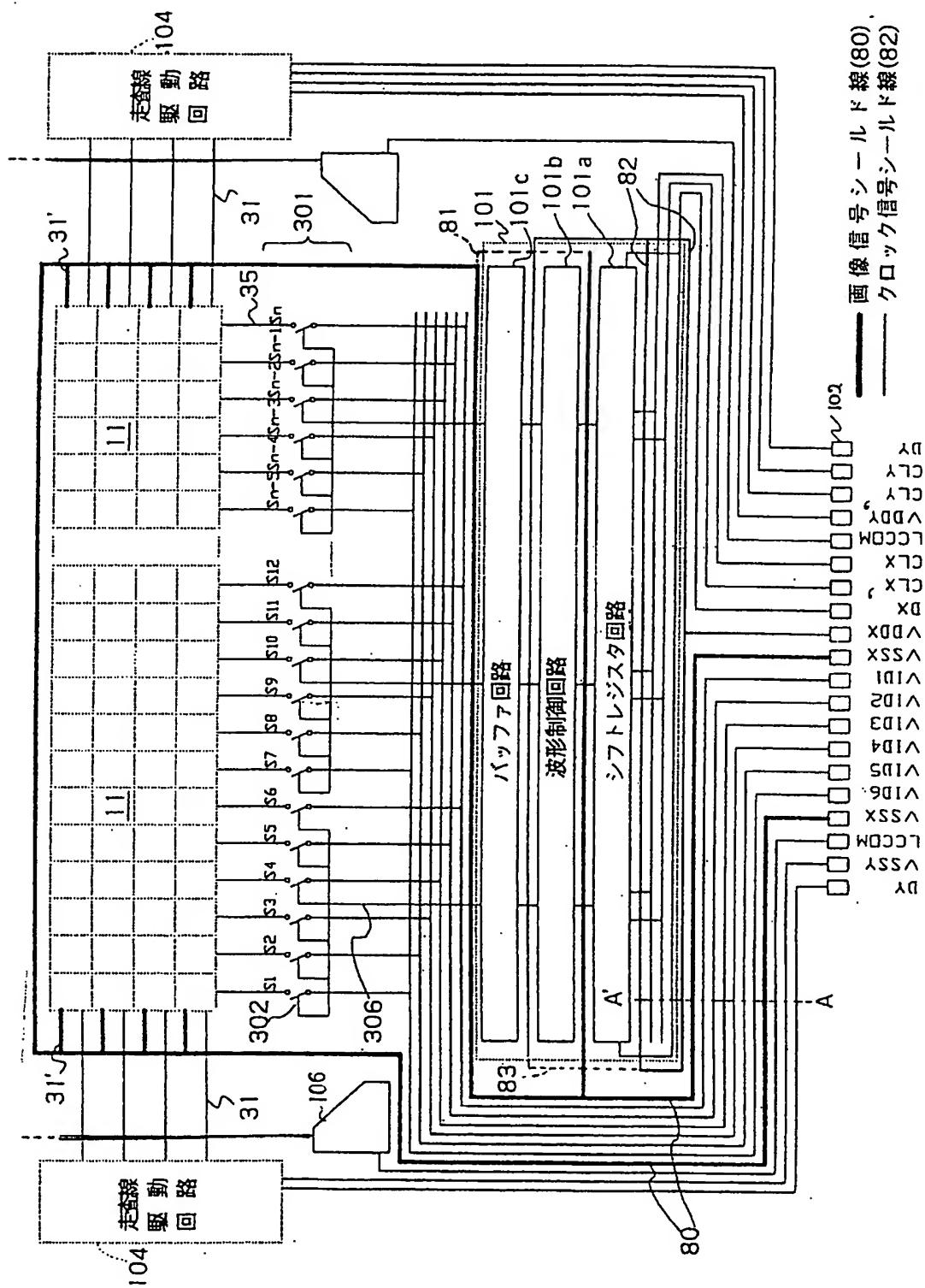
1/18

Fig. 1



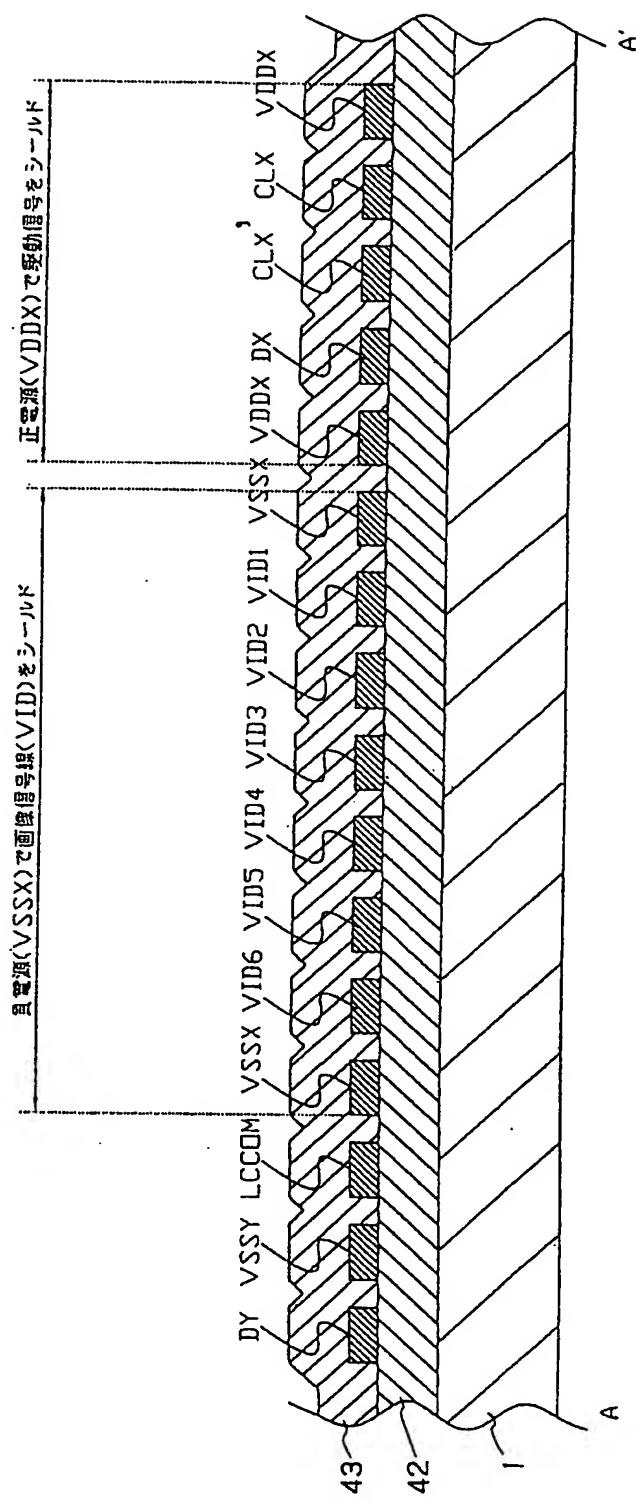
2
18

Fig. 2



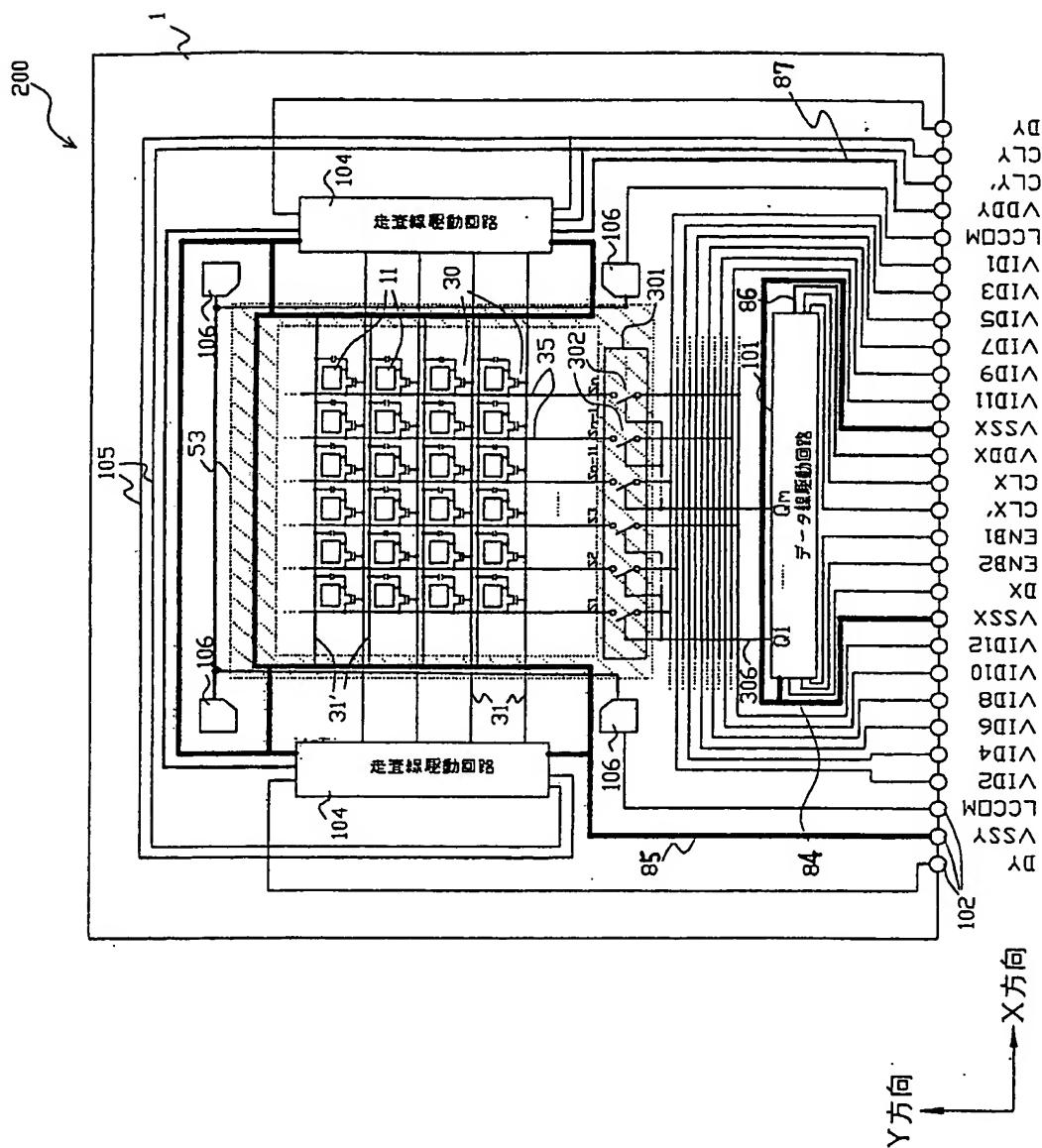
3
18

Fig. 3



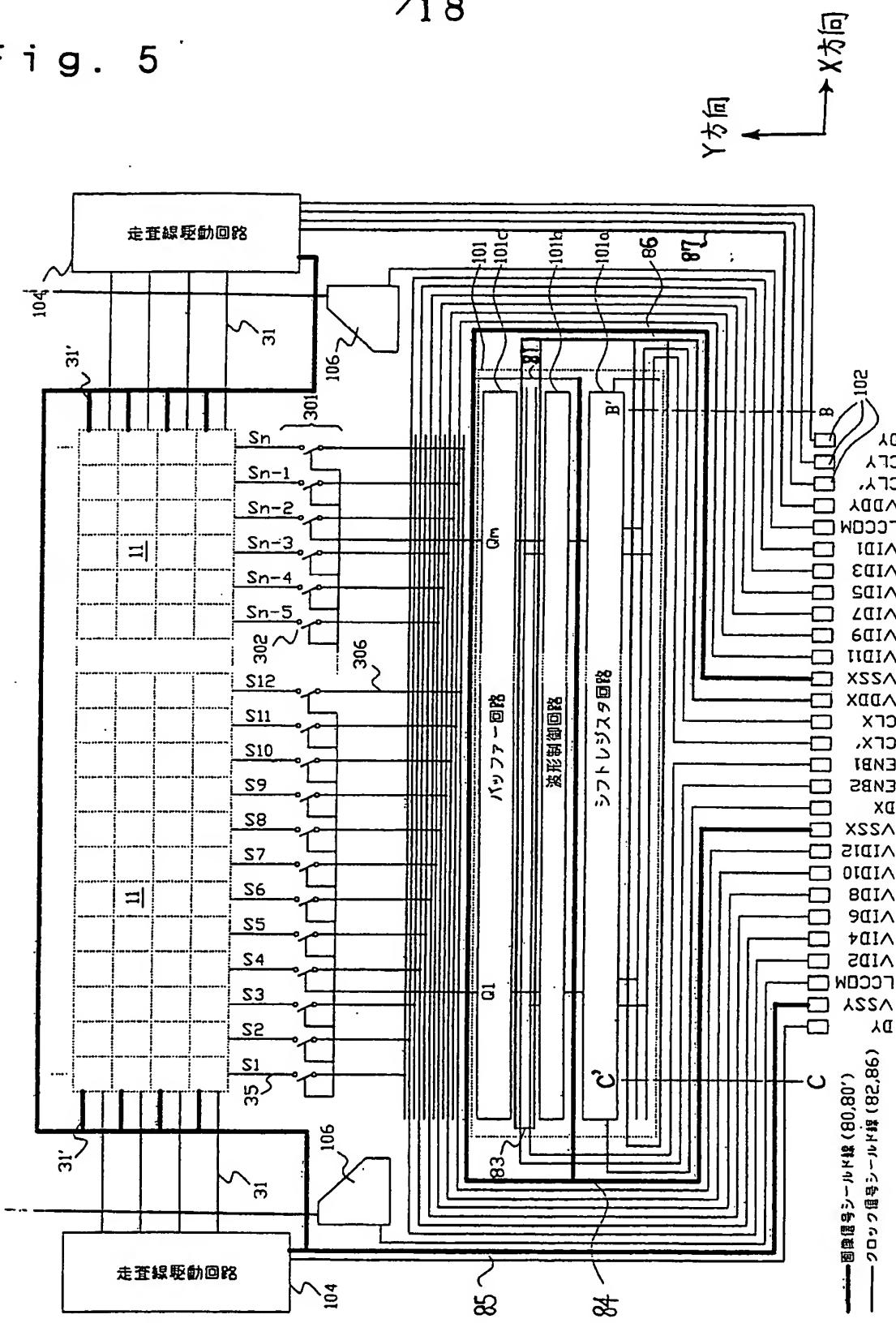
4/18

Fig. 4



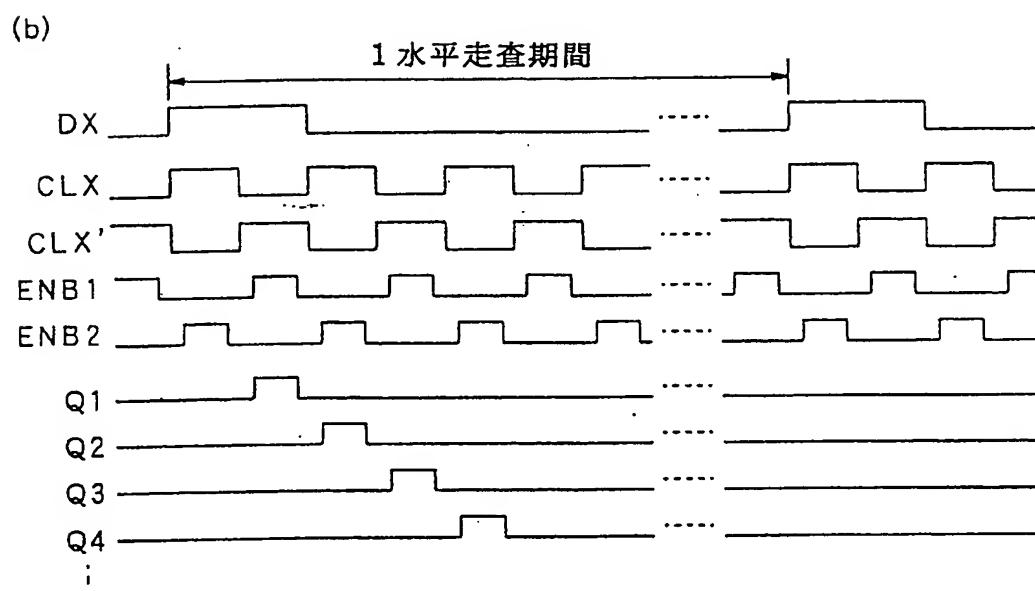
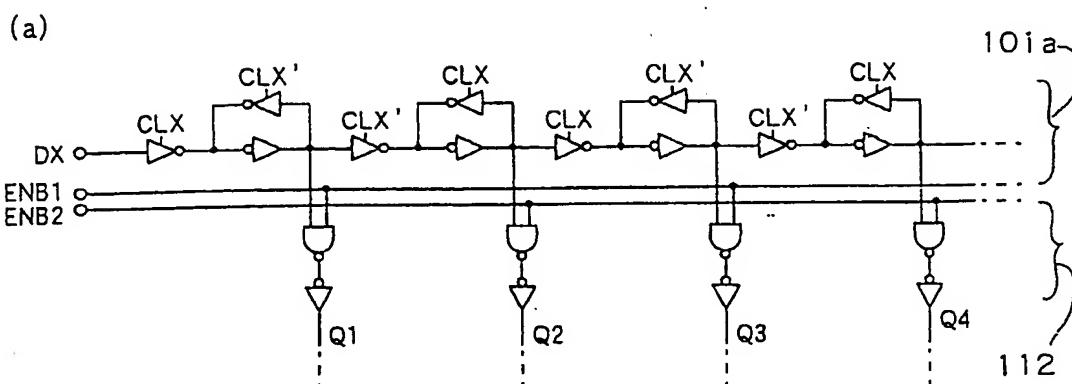
5
/ 18

Fig. 5



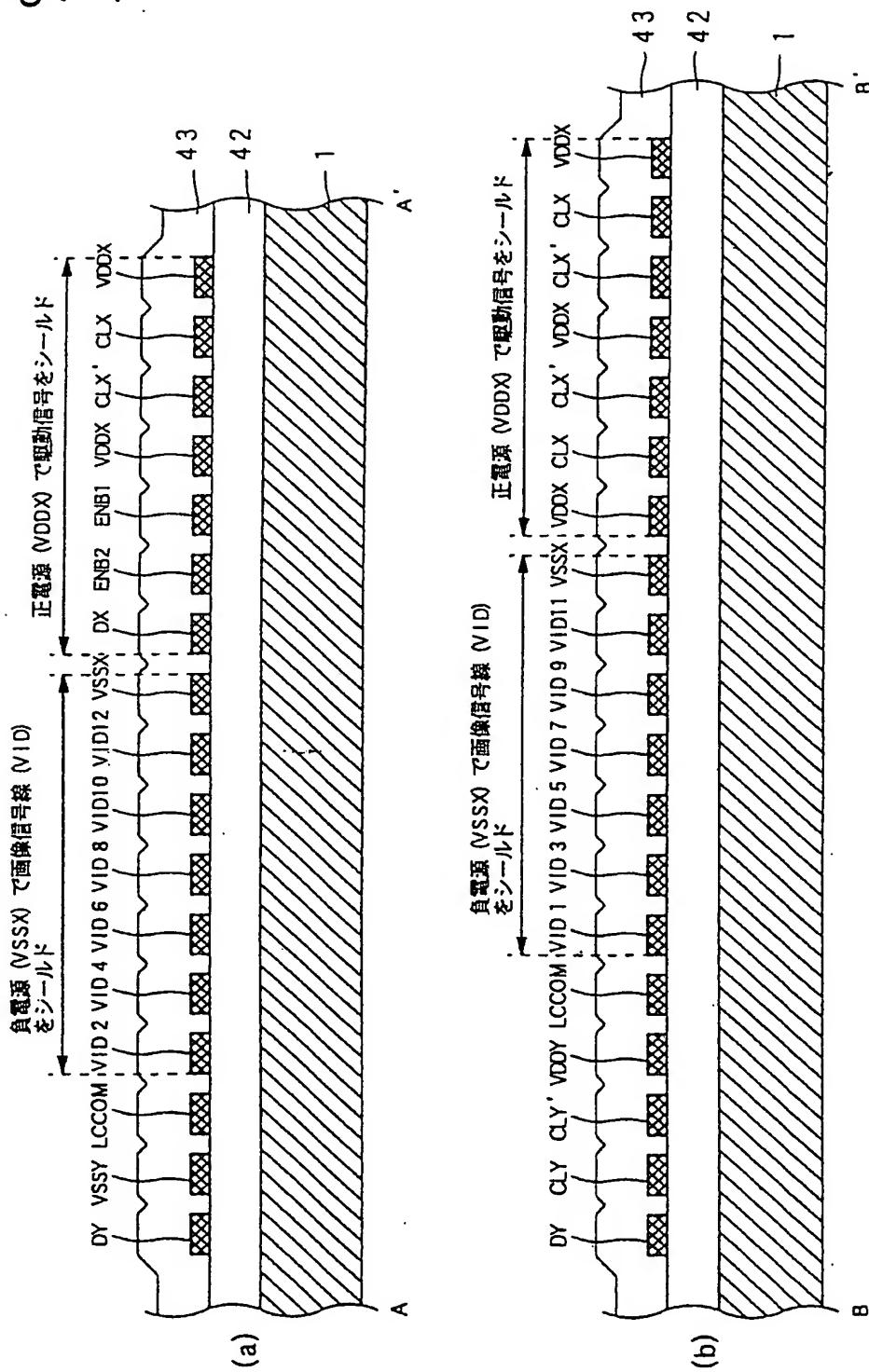
6/18

Fig. 6



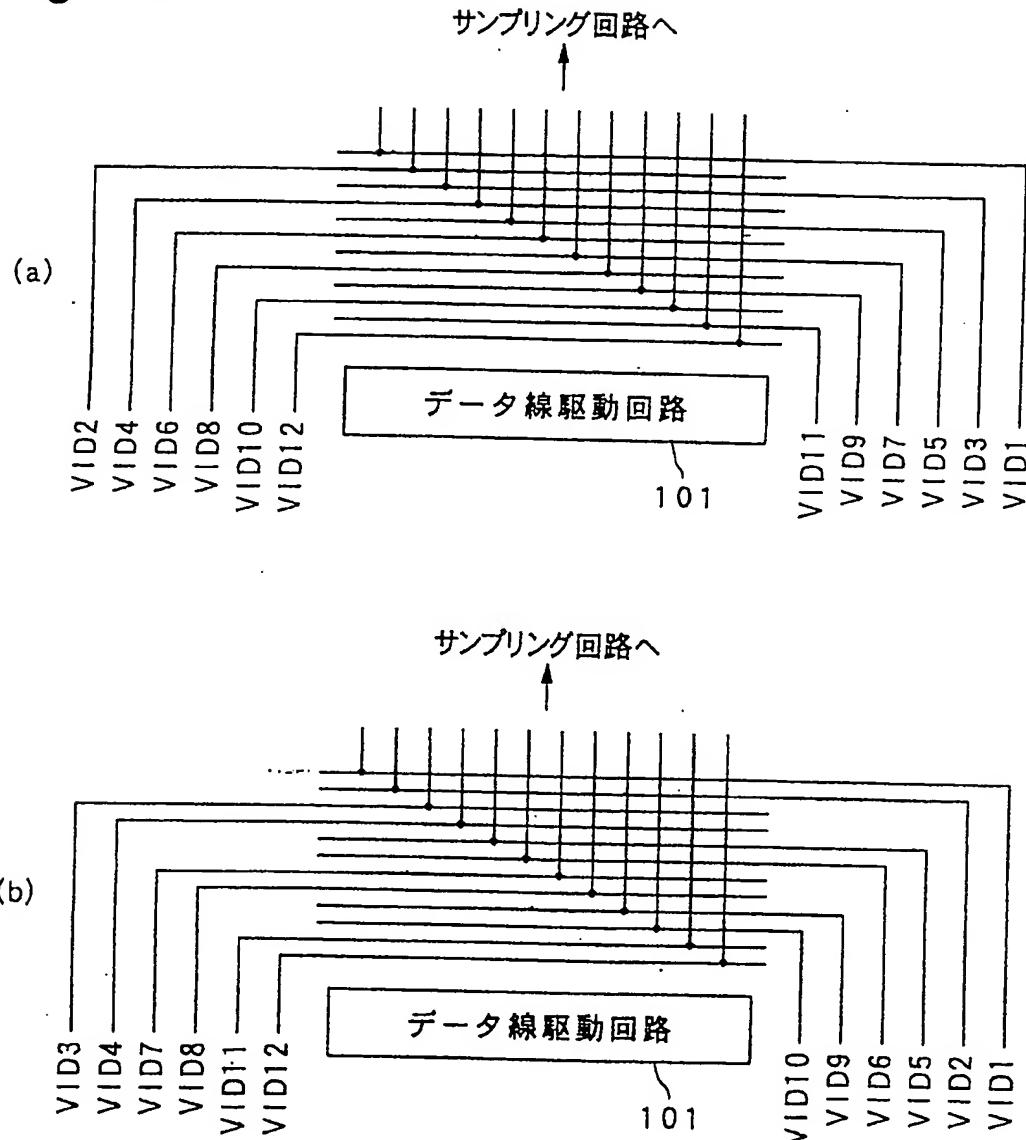
7/
18

Fig. 7



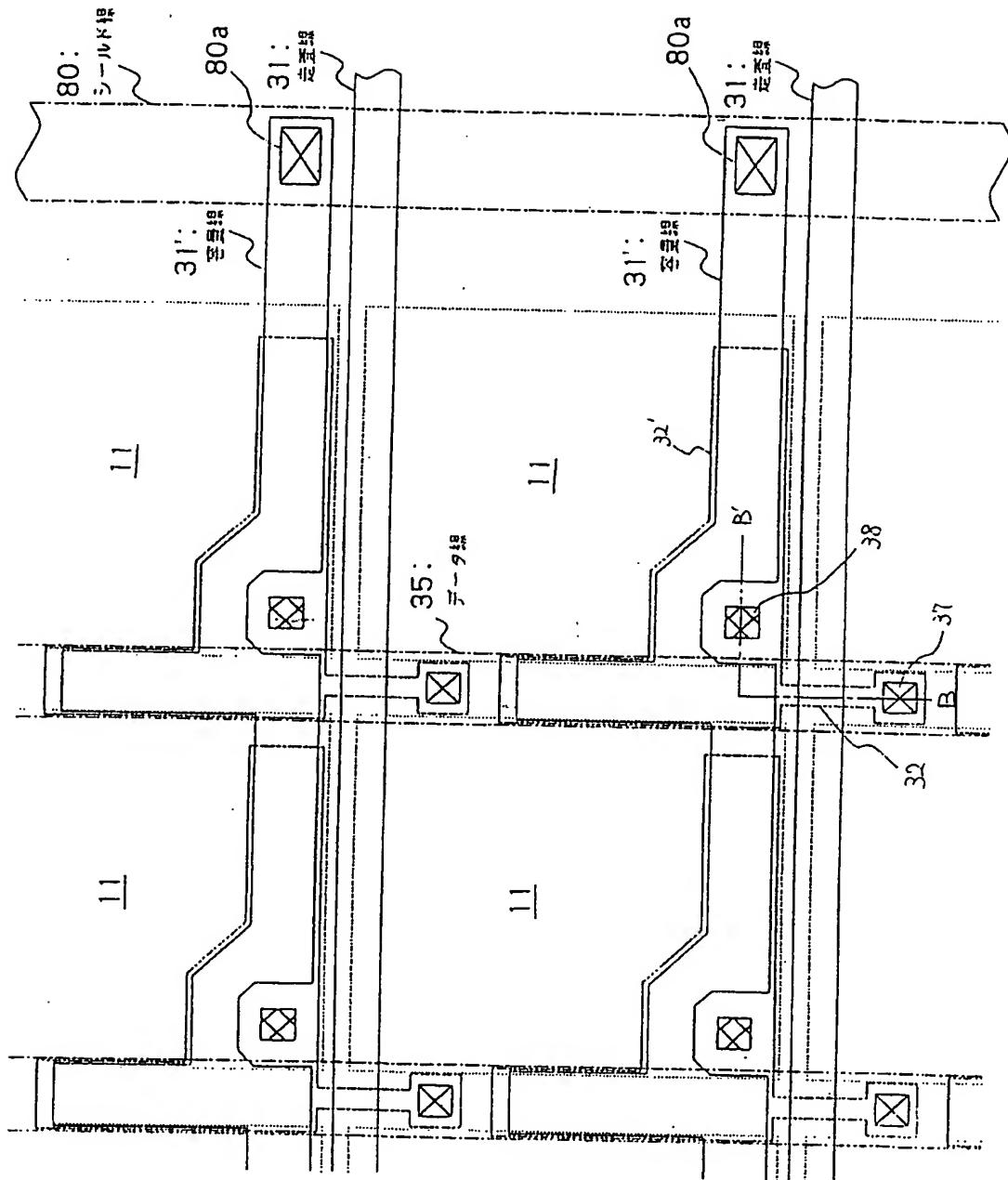
8/18

Fig. 8



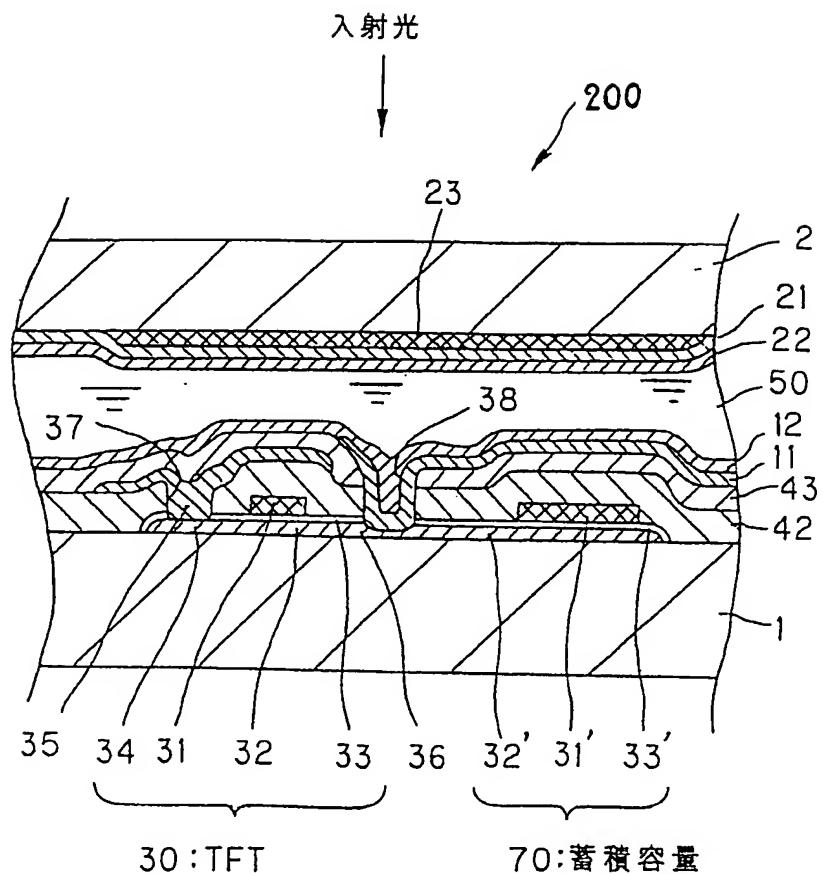
9
18

Fig. 9



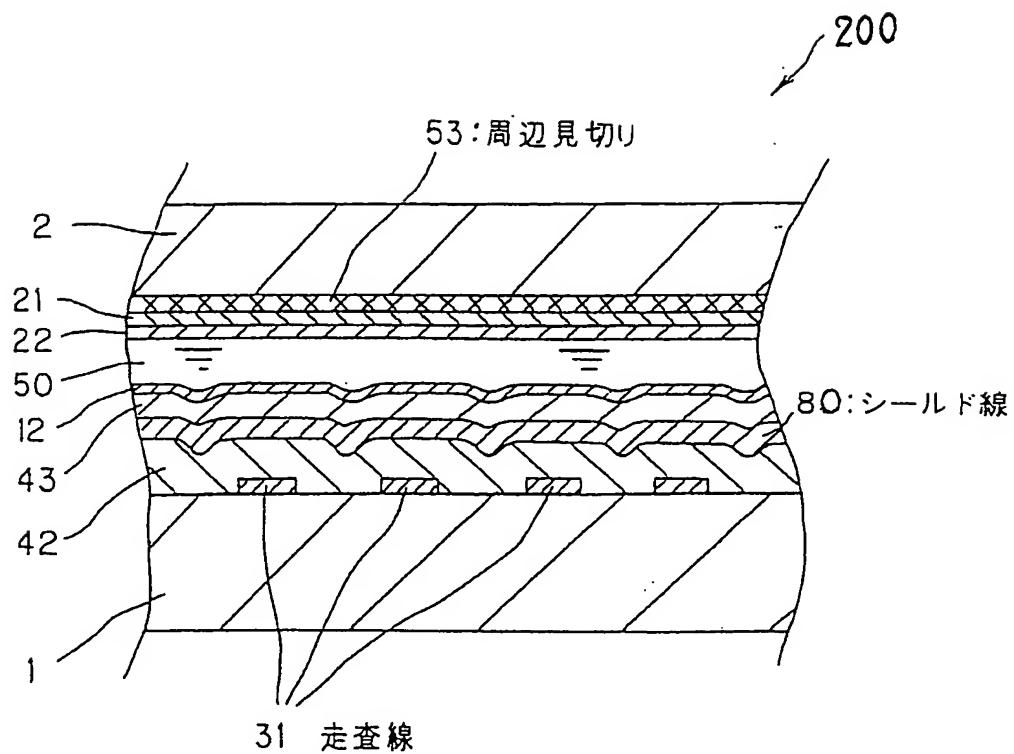
10/~~18~~

Fig. 10



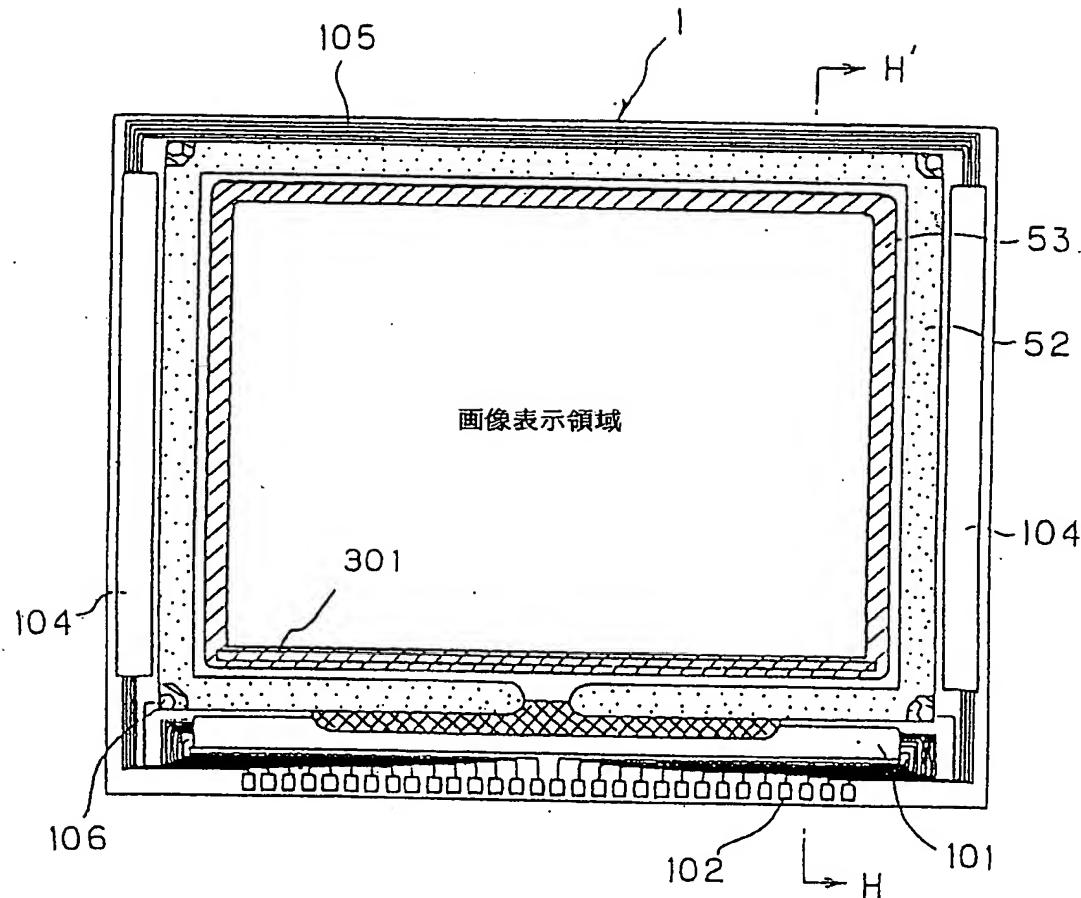
11/18

Fig. 11



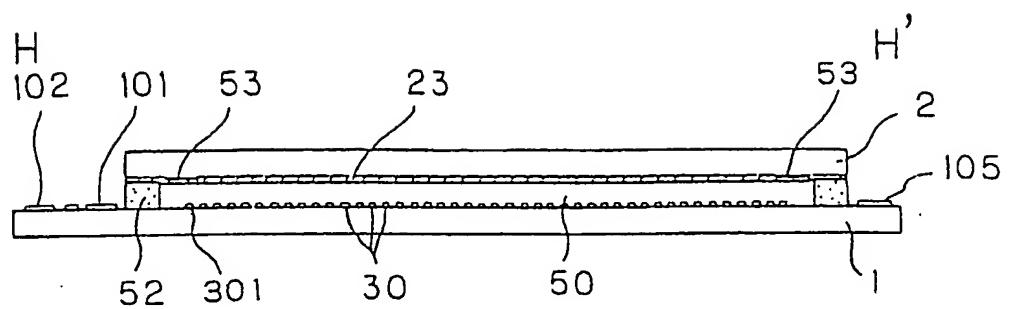
12/18

Fig. 12



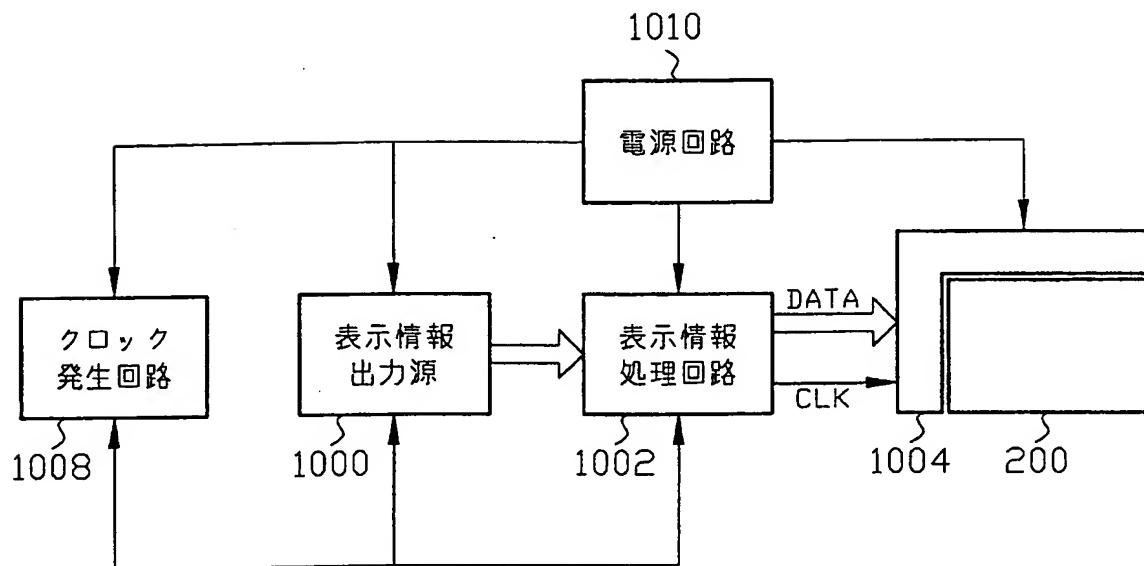
13/18

Fig. 13



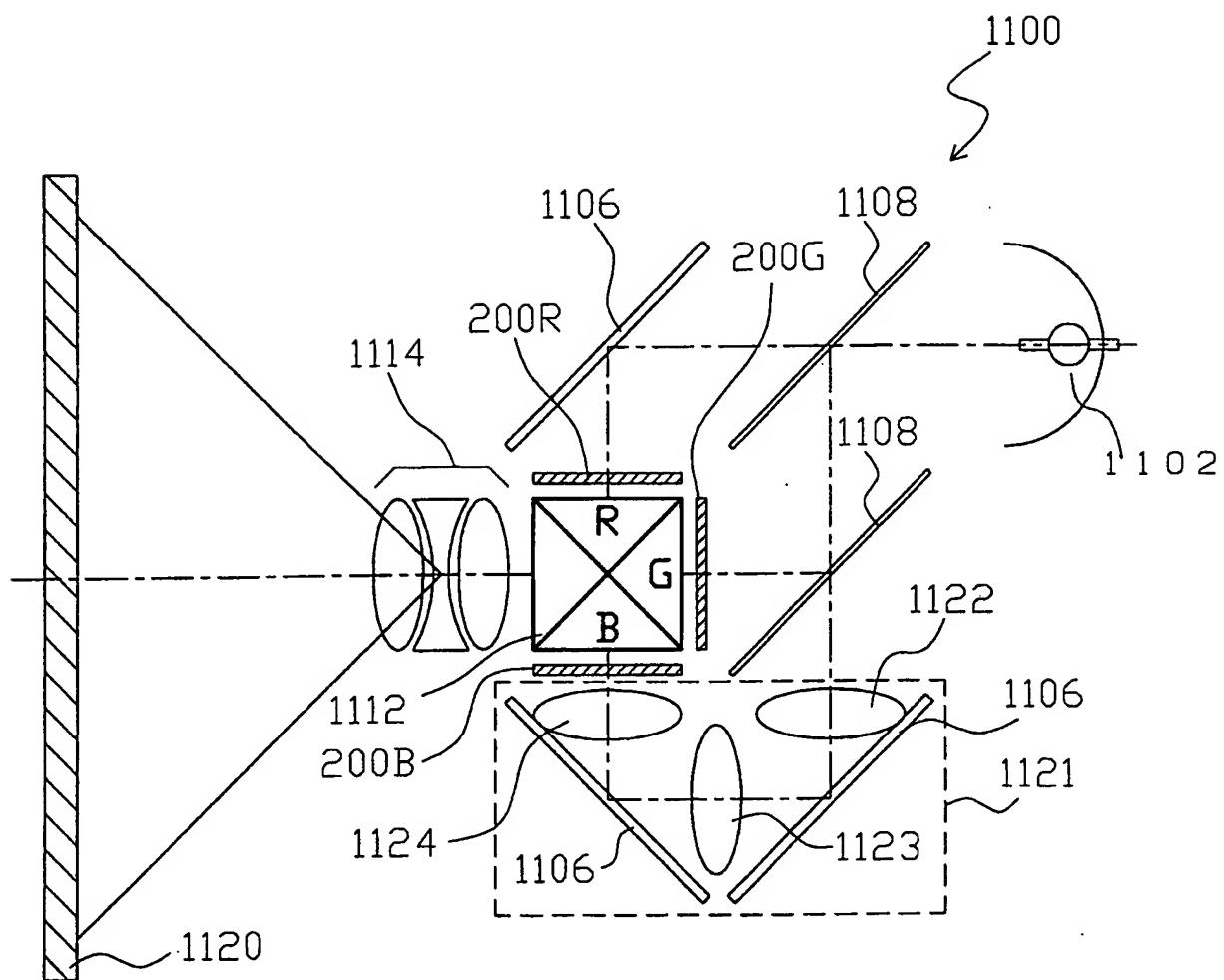
14/18

Fig. 14



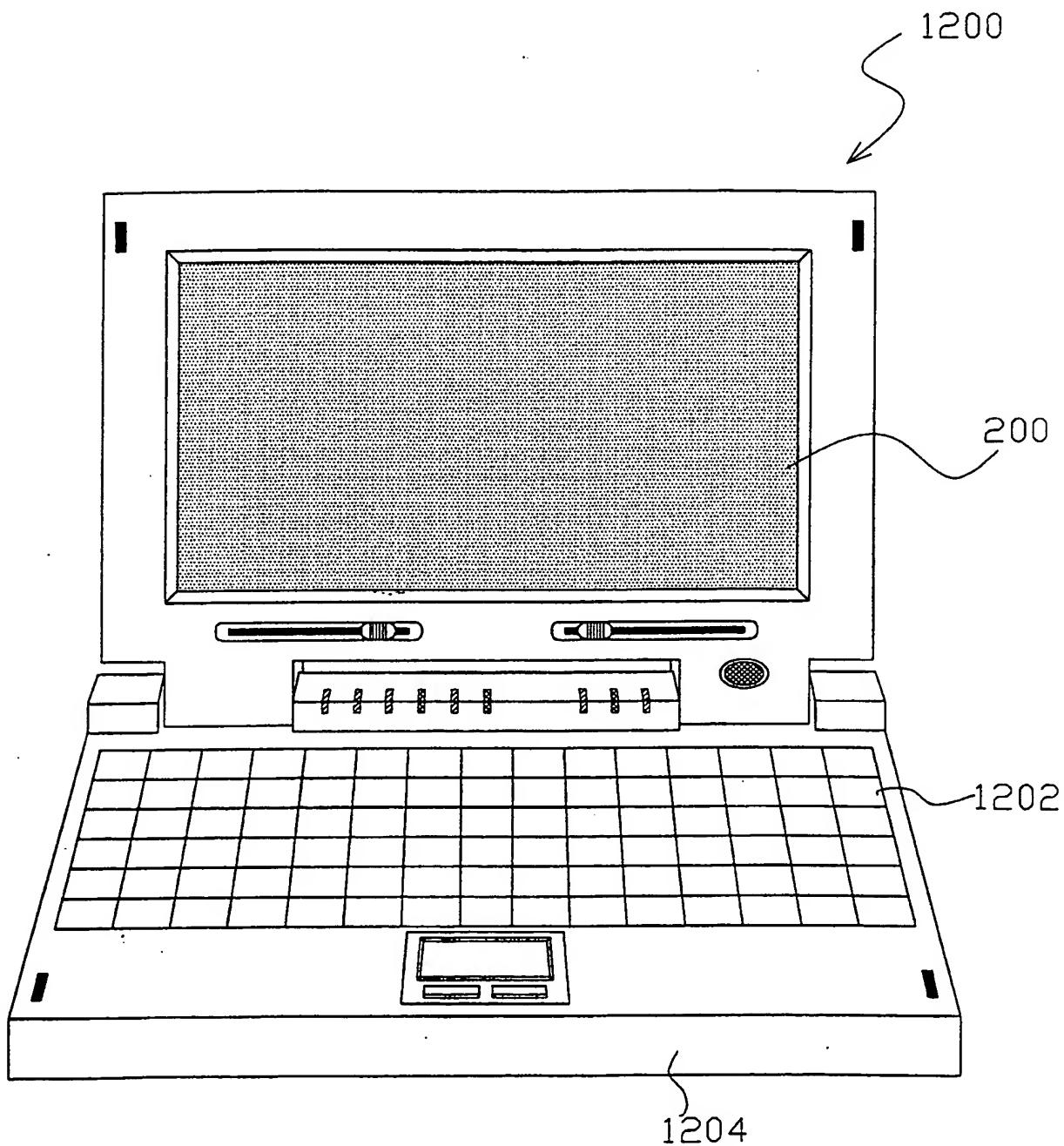
15/18

Fig. 15



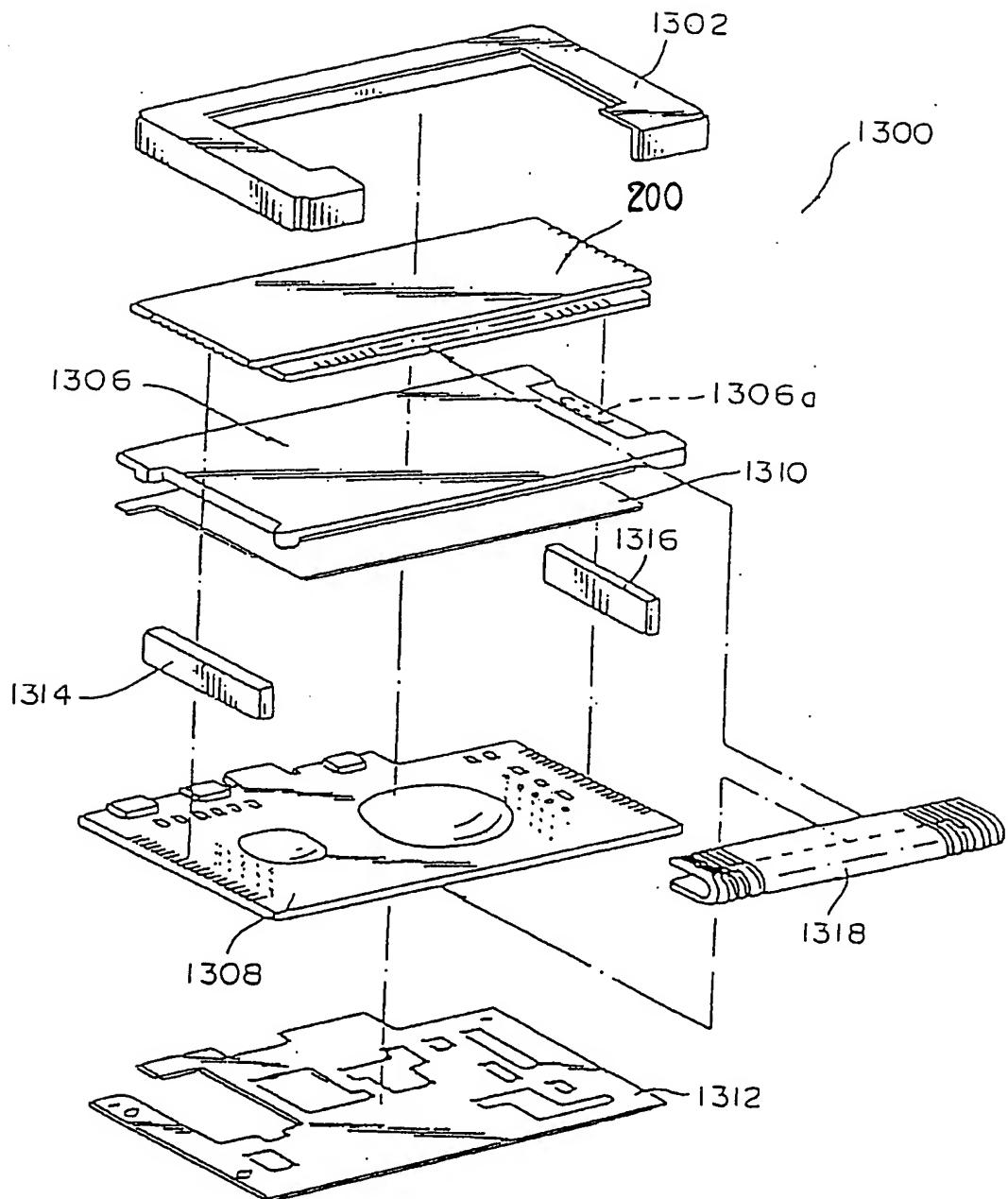
16/18

Fig. 16



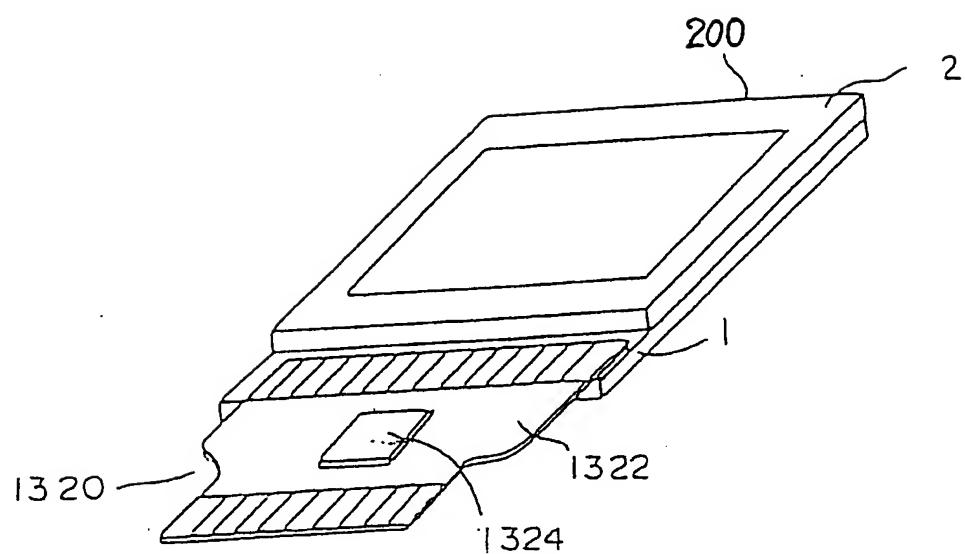
17/18

Fig. 17



18/18

F i g . 1 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/04822

A. CLASSIFICATION OF SUBJECT MATTER
Int.C1⁶ G02F1/136, 1/1345, G09G3/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.C1⁶ G02F1/136, 1/1345, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1972-1998

Jitsuyo Shinan Kokai Koho 1972-1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 1-281423, A (Seiko Epson Corp.), 13 November, 1989 (13. 11. 89) (Family: none)	1-26
A	JP, 6-11684, A (Sharp Corp.), 21 January, 1994 (21. 01. 94) (Family: none)	1-26
A	JP, 6-37478, A (Hitachi,Ltd.), 10 February, 1994 (10. 02. 94) (Family: none)	1-26
A	JP, 9-258251, A (Sharp Corp.), 3 October, 1997 (03. 10. 97) (Family: none)	1-26

 Further documents are listed in the continuation of Box C. See patent family annex.

"A"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier document but published on or after the international filing date	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&"	document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search
19 January, 1999 (19. 01. 99)Date of mailing of the international search report
26 January, 1999 (26. 01. 99)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JP98/04822

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int C1° G02F1/136, 1/1345, G09G3/36

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int C1° G02F1/136, 1/1345, G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1972-1998

日本国実用新案公開公報 1972-1995

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 1-281423, A (セイコーホームズ株式会社) 13. 11. 1989 (13. 11. 89) (ファミリーなし)	1-26
A	JP, 6-11684, A (シャープ株式会社) 21. 1. 1994 (21. 01. 94) (ファミリーなし)	1-26
A	JP, 6-37478, A (株式会社日立製作所) 10. 2. 1994 (10. 02. 94) (ファミリーなし)	1-26
A	JP, 9-258251, A (シャープ株式会社) 3. 10. 1997 (03. 10. 97) (ファミリーなし)	1-26

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日 19. 01. 99	国際調査報告の発送日 26.01.99
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 井口 猶二 電話番号 03-3581-1101 内線 3255 2K 9119